

# /

JP 4-299385

J1046 U.S. PTO  
09/93830308/24/01  


[TITLE OF THE INVENTION] DRIVING METHOD FOR MEMORY TYPE DISPLAY PANEL

[ABSTRACT]

When displaying an image on a memory type matrix display panel having a memory function, row electrodes are divided into two groups, an odd-row group and an even-row group, and writing is performed by sequential scanning, but erasure is performed by driving the electrodes using a different control signal for each group, thereby achieving different display brightnesses for the different groups in the same subfield, wherein display data is divided into a high-order bit group and a low-order bit group and, by making provisions to display the high-order bits on corresponding lines in each field in interlaced scanning of an input image signal and the low-order bits on the same lines in the next field, the actual display time is assigned only to the high-order bits and the low-order bits are displayed within the time frame assigned to the high-order bits, thereby achieving a reduction in the number of subfields within each field nearly to one half. Reducing the number of subfields to one half offers a variety of advantageous effects, for example, the driving conditions can be set so as to achieve high performance such as an improvement in light-producing efficiency or the capability to drive a large-screen display panel, increased complexity of the display panel construction is avoided, burdens on driving circuits are reduced, the amount of driving circuitry is reduced, and the need to convert the input image signal into a sequential scanning signal is eliminated.

[CLAIMS]

[CLAIM 1] A driving method for a memory type display panel, wherein when performing a memory drive of one drive cycle for all lines on a matrix display panel operating with a binary

memory, said one drive cycle comprising a display data write period, a sustain period, and an erase period, cells are driven for writing in a line sequential scanning manner, while on the other hand, row electrodes are divided into n groups each consisting of row electrodes on every (n-1) lines where n is an integer not smaller than 2, and n different sustain period durations, which can include a duration of 0, are respectively assigned to said n groups, and wherein within each of said groups, write driving is followed by sustain driving for a common sustain period duration assigned to said group and then by erase driving, the driving of all of said groups being performed in parallel, thus achieving for said n different groups n different display brightnesses due to ON cells.

[CLAIM 2] A driving method for a memory type display panel according to claim 1, wherein said one drive cycle is repeated m times and, in said m successive drive cycles, the assignment of said n different sustain period durations for said n groups is changed from one drive cycle to the next so that for each of said groups m different values can be obtained in sequence as the display brightness to be obtained per drive cycle due to ON cells belonging to one group.

[CLAIM 3] A driving method for a memory type display panel according to claim 2, wherein n successive fields are grouped together to constitute one display cycle, thereby setting a total of n display cycles each of an n-field length by shifting sequentially by one field, said n display cycles are made to correspond one for one with said n groups of row electrodes, and  $m \times n$  subfields are provided within each display cycle by dividing each field into m subfields where m is an integer not smaller than 1, and wherein said one drive cycle is executed within one subfield period, a maximum of  $m \times n$

different ON-cell display brightnesses, which can include a zero-value brightness, are assigned to said  $m \times n$  subfields in each of said  $n$  display cycles, a maximum of  $m \times n$  different sustain period durations are assigned to each of said row electrode groups in one display cycle, said sustain period duration differing for each subfield except where a succession of zero-value display brightnesses appear, and a binary weighted value is assigned to the ON-cell display brightnesses, except zero-value brightnesses, of said maximum of  $m \times n$  subfields, thereby achieving a maximum of  $2^{mn}$  grayscale levels for display.

[CLAIM 4] A driving method for a memory type display panel according to claim 3, wherein a 2:1 interlaced television signal is taken as an input, said row electrodes are divided into two groups, first and second, each consisting of row electrodes on every other line, image data is divided into a high-order bit group and a low-order bit group the number of bits in which is not larger than the number of bits in said high-order bit group, and the number of subfields in each field is set equal to the number of bits in said high-order bit group, with provisions made to display in an odd field the high-order bit group of the input signal of the first field on lines driven by said first group, display in an even field the high-order bit group of the input signal of the second field on lines driven by said second group, and display the low-order bit group of each input signal on the same lines in the field immediately following the field where the high-order bit group of said input signal was displayed, thereby achieving a reduction in the number of subfields.

[CLAIM 5] A driving method for a memory type display panel according to claim 3 or 4, wherein a sequential scanning image

signal is taken as an input, said row electrodes are divided into two groups, first and second, each consisting of row electrodes on every other line, image data is divided into a high-order bit group and a low-order bit group the number of bits in which is not larger than the number of bits in said high-order bit group, and the number of subfields in each frame is set equal to the number of bits in said high-order bit group, with provisions made to display in an odd frame the high-order bit group of the input signal of the first frame on lines driven by said first group and the low-order bit group thereof on lines driven by said second group, and display in an even frame the high-order bit group of the input signal of the second frame on the lines driven by said second group and the low-order bit group thereof on the lines driven by said first group, thereby achieving a reduction in the number of subfields.

[CLAIM 6] A driving method for a memory type display panel according to claim 3, 4, or 5, wherein the number of subfields is reduced and, utilizing the effect of the reduction, the sustain driving period is increased.

[CLAIM 7] A driving method for a memory type display panel according to claim 6, wherein light-producing efficiency is improved utilizing the effect of the increase in the sustain driving period.

[CLAIM 8] A driving method for a memory type display panel according to claim 3, 4, or 5, wherein the number of subfields is reduced and, utilizing the effect of the reduction, the number of lines is increased.

[CLAIM 9] A driving method for a memory type display panel according to claim 3, 4, or 5, wherein the number of subfields is reduced and, utilizing the effect of the reduction, a non-divided anode display panel is used.

[CLAIM 10] A driving method for a memory type display panel according to claim 3, 4, or 5, wherein the number of subfields is reduced and, utilizing the effect of the reduction, the number of times of sustain driving is increased.

[CLAIM 11] A driving method for a memory type display panel according to claim 3, 4, or 5, wherein the number of subfields is reduced and, utilizing the effect of the reduction, the number of display bits is increased.

[CLAIM 12] A driving method for a memory type display panel according to claim 3, 4, or 5, wherein the number of subfields is reduced and, utilizing the effect of the reduction, an interlaced scanning to sequential scanning conversion process for an input television signal is omitted.

[CLAIM 13] A driving method for a memory type display panel according to any one of claims 6 to 12, wherein the number of subfields is reduced, and the effect of the reduction is utilized.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[FIELD OF INDUSTRIAL APPLICATION] The present invention relates to a driving method for a matrix display panel, and more particularly to improvements in a driving method for achieving grayscale for a memory type display panel having or provided with a binary memory function.

[0002] In the present invention, when displaying a television image on a memory type display panel, the row electrodes of the display panel are divided into two groups, an odd-row group and an even-row group, and writing is performed by sequential scanning, as is done in a conventional system, but erasure is performed by driving the electrodes using a different control signal for each group, thereby achieving the reproduction of different brightnesses for the

different groups in the same subfield; while applying such a driving method, display data is divided into a high-order bit group and a low-order bit group, with provisions made to display the high-order bits on corresponding lines in each field in interlaced scanning of an input television image signal and the low-order bits on the same lines in the next field, thus making it possible to assign the actual display time only to the high-order bits and display the low-order bits within the time frame assigned to the high-order bits, and thereby achieving a reduction in the apparent number of subfields within each field to one half or nearly to one half.

[0003] The reduction in the number of subfields offers a variety of advantageous effects. That is, a display panel, a driving circuit system, or a signal processing system can be designed so that any one of the following effects or a combination of two or more of the following effects can be obtained: that is, the driving conditions can be set for the display panel to achieve high performance according to the purpose, or as a typical example, the driving conditions can be set so as to improve the light-producing efficiency or to enable the driving of a larger-screen display panel; increased complexity of the display panel construction is avoided; burdens on driving circuits are reduced; the amount of driving circuitry is reduced; and the need to convert the input television image signal into a sequential scanning signal is eliminated.

[0004]

[PRIOR ART] Matrix display panels in which display cells are arranged in rows and columns are generally classified as self-luminous or passive displays according to whether or not they emit light by themselves; in either type of display panel, there are display panels that have memory functions. The

self-luminous type displays input information by making or not making each cell emit light or by modulating the intensity of each cell, while the passive type displays information by varying transmittance or reflectance or by utilizing differences in produced colors. The description given hereinafter deals with the self-luminous type, but the present invention can also be applied to the passive type by making the display ON/OFF operating conditions correspond to those of the passive type.

[0005] The memory function of a memory type display panel refers to a binary memory function for achieving a grayscale display. In display panels having multi-value or analog memory functions, there are cases where the memory is used as a binary memory in order to ensure stability and uniformity; in such cases also, the present invention is applicable.

[0006] A memory driving method for a memory type display panel basically consists of three operations of display data write (start of ON state), sustain, and erasure (start of OFF state); the display operations constituting one drive cycle consist of horizontally scanning all the lines in a line sequential manner during a write period, maintaining the light-emission state during a sustain period starting at the end of the write period and lasting until an erase operation is initiated, and maintaining the display in a non-emission state during a period starting at the end of the erase operation and lasting until the next write operation is initiated. For a transition from the light-emission state to the non-emission state, the erase operation must be performed to drive the display panel to effect the erasure. Since the display brightness varies according to the duration of the sustain period, an input image signal for one field is divided into subfield signals each corresponding to a raster (bit

plane) that contains display bits mapped one-to-one to pixels, each bit plane of the input image signal is displayed by setting the sustain period for each subfield so that it corresponds to the necessary display brightness represented by a binary weighted value (a power of 2), and the grayscale of the image is displayed by utilizing the effect of the visual integration of the bit planes. Depending on the characteristics of the display panel, the produced brightness may not be proportional to the number of times of sustain driving; in such cases, the number of times of sustain driving should be corrected, and in the description hereinafter give, the display brightness represented by a power of 2 should be interpreted to also include the case where such corrections are made.

[0007] In a matrix display panel, since sufficient brightness and response speed cannot be obtained with dot sequential scanning, it is common to drive all the display cells on the same row electrode in parallel fashion, and it is therefore sufficient to define the operation in the column direction. When attention is focused on one particular display cell, basically the sustain operation is performed continually, and the display ON or OFF state is maintained unless a write or erase operation is performed. The sustain operation must be performed during the period starting at the end of the write operation, until the erase operation is initiated, but during the period starting at the end of the erase operation and lasting until the next write operation is initiated, the OFF state may be actively maintained by performing the sustain operation, or the sustain operation may be stopped and the driving conditions may be set so as to maintain the display OFF state.

[0008] A prior art grayscale display driving method will be

described in detail below by taking an AC gas discharge display panel as an example of the memory type display panel that performs the basic operation described above. As shown in Figure 2, the discharge cell located at the intersection of a column electrode (X electrode)  $X_i$  ( $i = 1, 2, \dots$ ) and a row electrode (Y electrode)  $Y_k$  ( $k = 1, 2, \dots$ ) is designated by  $D_{ki}$ , and driving voltage waveforms for generating AC gas discharges to produce a display are schematically illustrated in Figure 9(a). Sustain pulses  $S$  and  $s$  with a repetition period  $T$  is continually applied to the X and Y electrodes, respectively. Initially, all the discharge cells are set OFF, and in a drive period  $T_1$ , a write pulse  $w$  is applied to the electrode  $Y_1$  and, at the same time, a write pulse  $W$  is applied to the electrodes  $X_1$  and  $X_2$  in accordance with the data to be displayed. The discharge cells in the first row that have been supplied with the write pulse  $W$  are caused to emit light each time the sustain pulse is applied thereafter as shown by  $D_1(ON)$  in the figure, while on the other hand, the discharge cells that have not been supplied with the write pulse  $W$  are maintained in the OFF state. In the next drive period  $T_2$ , the write pulse  $w$  is applied to the electrode  $Y_2$ , to write to discharge cells in the second row, and the discharge cells thus written to, start to emit light as shown by  $D_2(ON)$  in the figure. In this way, write scans in the row direction are performed in a line sequential manner, with the write pulse  $w$  for each row being delayed from the write pulse  $w$  for the preceding row by the period  $T$ . The erase operation is performed in like manner; that is, in period  $T_5$ , an erase pulse  $e$  is applied to the first row, and then erase scans are performed in a line sequential manner. In the illustrated example, since a pair of positive/negative pulses is applied within one sustain pulse period  $T$ , a total of eight pulse emissions are produced

for the duration of  $4T$  from the write pulse  $w$  to the erase pulse  $e$  applied to the  $Y$  electrode. By varying the interval between the write pulse and the erase pulse, the brightness reproduced in each subfield can be set as a desired power of  $2$ . Drive voltage waveforms for pulse memory driving of a DC gas discharge display panel are schematically illustrated in Figure 9(b). In the figure,  $X$  electrode is the anode,  $Y$  electrode is the cathode, and the sustain drive voltage waveform  $s$  and erase drive voltage waveform  $e$  for the  $Y$  electrode are not pulsed, but are each held at a constant DC voltage level within each period  $T$ . As for the memory display function, the symbols in Figure 9(b) correspond to the same symbols in Figure 9(a), and the write, sustain, and erase operations are performed in exactly the same manner as described above.

[0009] Figures 9(a) and 9(b) have each shown the case where the sustain pulse period  $T_s$  is equal to the write pulse interval  $T_w$  between each row, but generally they need not necessarily be set equal to each other. The following description deals with the case where  $T_w = T_s$ , and both are represented by  $T$ . In Figures 9(a) and 9(b), the operation of the entire display panel is clearly shown by joining the positions of the write pulses  $w$  and erase pulses  $e$  diagonally across the rows. In Figures 10(a) to 10(c), a prior art display panel driving method for displaying an  $N$ -bit grayscale using  $N$  subfields is shown in time chart form on a subfield-by-subfield and a field-by-field basis. The figures illustrate the case of displaying a 6-bit ( $N=6$ ) grayscale, and the horizontal axis represents the time and the vertical axis the position  $Y_k$  ( $k = 1$  to  $K$ ) of each row where  $K$  is the number of rows in the display panel.  $V$  designates one field of a television image signal, and  $U_b$  ( $b = N-1$  to  $0$ ) represents

subfields into which the field  $V$  is divided, the subscript  $b$  indicating the subfield to reproduce the display brightness weighted with  $2^b$  in accordance with the bit plane number indicated by the subscript  $b$ .

[0010] In each subfield  $U_b$ , first a row write scan indicated by a diagonal line  $WRT_b$  is performed, then the display cells to which writing has been done are caused to emit light by the sustain operation during the period  $S_b$  indicated by a double line in each subfield  $U_b$ , and the light emission period is caused to end by the row erase scan indicated by a diagonal line  $ERS_b$ . The time required for scanning is  $Z = K \cdot T$ . The same cycle of operation is repeated for each subsequent subfield  $U_b$ ; here, by setting  $S_b/S_{b-1} = 2$ , 64 levels of gray corresponding to 6 bits can be displayed. The earlier described erase operation is performed during the non-emission period starting at the end of the sustained light emission and lasting until the next write operation is initiated. The symbols  $U_b$ ,  $S_b$ ,  $Z$ , etc. used here not only represent the names they stand for, but also indicate the durations of the respective periods. When the sustain period duration  $S_0$  in the subfield  $U_0$  corresponding to the LSB of the display data is the smallest value  $T$ , the sustain operation is performed only once in the subfield  $U_0$ . Here,  $S_0/T = M$ , and  $M$  is called the sustain factor. In a self-luminous display panel, when  $M > 1$ , generally a display brightness higher than when  $M=1$  by a factor of  $M$  is obtained.

[0011] Figures 10(a) and 10(b) each show the simplest case where the field length  $V$  is simply divided into  $N$  equal parts each representing the length of one subfield  $U_b$ , i.e., the subfield length is  $1/N$  of the field length; Figure 10(a) shows the case where the time  $Z$  required for the row scan is shorter than the subfield length  $U_b$  because the number of rows,  $K$ , in

the display panel is small or because the driving speed is high enough, and in a subfield corresponding to a bit near the LSB, since the non-emission period from the end of the sustain operation to the start of the next write operation is relatively long, the sustain factor, that is, the maximum brightness, cannot be set large.

[0012] Conversely, Figure 10(b) shows the case where the scan speed is reduced to an allowable limit because the number of rows, K, in the display panel is large or because the driving speed is not high enough, or for both reasons; here, the driving conditions for scanning dictate that the next write scan cannot be started before the present write scan is completed, that is, the conditions require that  $Z < U_b$ . In the illustrated example,  $Z = U_b$ , allowing no margin for the write scan period in any subfield.

[0013] On the other hand, in the case of Figure 10(a), if the relatively long non-emission period is shortened within a range that does not cause the write scan period to overlap into the write scan period in the next subfield, the duration of the sustain period in the subfield corresponding to a bit near the MSB ( $b=N-1$ ) can be increased correspondingly, as shown in Figure 10(c). In this driving method, the subfield length  $U_b$  is dependent on the relationship between the write scan period  $Z$  and the sustain period length  $S_b$ ; that is, of the period lengths  $Z$  and  $S_b$ , the longer period provides the subfield length  $U_b$ . For example, in the MSB in Figure 10(c),  $S_5 > Z$ , so that  $U_5 = S_5$ . On the other hand, in the subfield  $U_1$ ,  $Z > S_1$ , so that  $U_1 = Z$ .

[0014] To summarize the prior art grayscale display driving method for a memory type display panel, in the case of a display panel having a relatively small number of rows, there

is a margin for the driving conditions as shown in Figures 10(a) and 10(b), but in the case of a large-screen display panel having a large number of rows, the panel must be driven so that the write scan is completed in a shorter time than the scan period  $Z$  that is automatically determined by the number of rows,  $K$ , in the display panel and the number of bits,  $N$ , representing the grayscale to be displayed.

[0015]

[Problems to be Solved by the Invention] As is apparent from the above description, the necessary driving speed increases as the number of rows increases; this relationship is shown quantitatively in Figure 11. In the figure, the horizontal axis represents the number of rows,  $K$ , in the display panel, and the vertical axis represents the maximum allowable sustain drive period  $T$ , with the sustain factor  $M$  taken as a parameter. The straight line for  $M=1$  indicates that the subfield length  $U$  is determined when the write scan period is determined; that is, when the field length is denoted by  $V$ , and the number of display bits by  $N$ , the subfield length  $U$  is approximately equal to  $V/N$ , so that the maximum value  $T_{wmax}$  of the write access time  $T_w$  allowed for each row is given by  $U/K$ , that is

$$T_{wmax} = V/K \cdot N$$

In actuality, a certain length of time must be secured for erasure, but since the required value varies depending on the display panel used and the driving conditions, the erase period is not considered in the above equation as well as in Figure 11. In the figure, the period  $T$  varies greatly depending on the sustain factor  $M$  in a region where the number of rows,  $K$ , is small, because the length of the sustain period  $S$  is a dominant region there, as shown in Figure 10(c); on the other hand, the fact that the curves converge to  $M=1$  in a region where the number of rows,  $K$ , is large, indicates that

the write scan period length  $Z$  is a dominant region there. Thus, the figure clearly shows that the driving conditions become extremely stringent when the number of rows,  $K$ , is large.

[0016] For example, if an 8-bit grayscale is to be achieved for a 1000-line display panel, it is required that period  $T = 2 \mu s$ , but in the case of a large-screen display panel that contains large stray electrode capacitances and requires a high driving voltage of 200 to 300 V, this value of the period  $T$  is not easily attainable. Assuming that the period  $T = 4 \mu s$  is the limit of the driving speed, it is seen that the limit to the number of lines that can be driven in a display panel is about 500 lines.

[0017] On the other hand, from the viewpoint of the driving conditions for the display cells forming the display panel, since the display cells have unique characteristics of their own, as a matter of course it is desirable that the display cells be driven using driving conditions that best match their characteristics. That is, it is desirable that great freedom be provided for selection when setting the driving conditions.

[0018] However, as described above, in the prior art driving method for a memory type display panel, the driving conditions for a large-screen display panel having a large number of rows or lines are determined almost automatically by externally given conditions, or the driving conditions are stringent, thus leaving no alternative but to drive the panel using minimal driving conditions; as a result, from the viewpoint of utilizing the characteristics of the display cells, the prior art has only been able to provide a driving method under extremely undesirable conditions.

[0019] An object of the present invention is to solve the

above problem of the prior art, and provide a driving method that can relax the driving conditions when achieving grayscale for a memory type display panel that apparently has no freedom.

[0020] Another object of the present invention is to provide a driving method for a memory type display panel, that enables the setting of operating conditions capable of utilizing the characteristics of the display cells to the full, and allows greater freedom for the selection of driving conditions capable of improving the light-producing efficiency. It is a further object of the invention to provide a driving method for a memory type display panel, that can drive a larger-screen display panel for the same driving conditions.

[0021] In one prior art driving method that achieves the relaxation of the driving conditions as intended in the present invention, the column electrode array is divided into two halves along the center of the display panel, and the two halves are independently driven from the upper and lower sides, thereby reducing the necessary driving speed by half, but this driving method has the shortcoming that the number of column electrode leads and the amount of driving circuitry are doubled.

[0022] Still another object of the present invention is to provide a driving method for a memory type display panel, that achieves the relaxation of the driving conditions without requiring any modifications to the panel construction and without a substantial increase in the amount of driving circuitry.

[0023] When using a gas discharge display panel, in particular, a DC panel, to display television images, the effect of priming from independent auxiliary discharge cells to display cells is usually utilized to increase the operating speed of the display panel itself; in this case, the auxiliary

discharge cells are scanned vertically over all the rows regardless of the image data to be displayed, but since this vertical scanning is also performed using the priming effect from the auxiliary discharge cells in one row to the auxiliary discharge cells in the next row, it cannot be said that the DC gas discharge display panel is suitable for interlaced scanning. As a result, it has traditionally been practiced to display television images by line sequential scanning, and for this purpose, the input television signal has had to be converted from the interlaced scanning signal to the sequential scanning signal, but when displaying a high definition television image, this imposes an extremely great burden on the circuits.

[0024] On the other hand, in the case of an AC gas discharge display panel, since there is an example in which a monochrome display panel using neon gas is implemented employing a random-access scan method, one may think that it is easy to display a television image by interlaced scanning, but it is unknown whether interlaced scanning can be achieved for color display by simply driving every other line, because the conditions are different from the above example, that is, in the case of color display, the fill gas is different, there is a need to provide barriers between display cells, as in the case of the DC display panel, to prevent color mixing from being caused by UV emission exciting the phosphors on adjacent cells, a high speed operation is needed to display a television image, and so on.

[0025] In the above description, it has been explained that the memory type display panel uses sequential scanning because it is not suitable for interlaced scanning, but actually, there is another constraint, which is the display brightness. That is, for the reason that the light-emission time allowed

within one frame is reduced by half in the case of full interlaced scanning, sequential scanning is employed to maintain the necessary display brightness.

[0026] Accordingly, yet another object of the present invention is to provide a driving method for a memory type display panel, wherein the interlaced scanning to sequential scanning conversion, which could impose a great burden especially in the case of high definition television image display, can be omitted without entailing degradation in display brightness.

[0027]

[Means for Solving the Problems] That is, in the memory display panel driving method of the present invention, when displaying a television image on a memory type matrix display panel having a memory function, the row electrodes of the display panel are divided into two groups, an odd-row group and an even-row group, and writing is performed by sequential scanning, as is done in a conventional system, but erasure is performed by driving the electrodes using a different control signal for each group, thereby achieving the reproduction of different brightnesses for the different groups in the same subfield; while employing such a driving method, display data is divided into a high-order bit group and a low-order bit group, with provisions made to display the high-order bits on corresponding lines in each field in interlaced scanning of an input television image signal and the low-order bits on the same lines in the next field, thus making it possible to assign the actual display time only to the high-order bits and display the low-order bits within the time frame assigned to the high-order bits, and thereby achieving a reduction in the apparent number of subfields within each field to one half or nearly to one half.

[0028]

[Mode of Operation] Thus, according to the present invention, without making any changes to the construction of the memory type display panel, but by driving the panel in a skillful manner, various operating conditions can be relaxed significantly while drastically increasing the grayscale display brightness of a television image signal.

[0029]

[Embodiments] Embodiments of the present invention will be described below with reference to drawings. Figure 1 shows the basic principle of a driving method for a memory type display panel according to the present invention. In the figure,  $Y_k$  ( $k = 1, 2, \dots$ ) indicates the operating state of the  $k$ -th row in the display panel, a single line designating a non-emission period and a double line a sustained emission period. Therefore, at least during the double-line period, each row is driven for sustained emission. Dashed diagonal lines indicate write drive (WRT, WRT') and erase drive (ERS, ERS') scans. In the illustrated example, symbols with "''" indicate driving for even-numbered rows, and symbols without "''" indicate driving for odd-numbered rows. That is, writing is done in the same manner as practiced in a conventional system, and the rows are driven for writing in sequence, such as the first row in the drive period  $T_1$ , the second row in the drive period  $T_2$ , and so on. Next, if all the rows are driven for erasure, that is, scanned for erasure, for example, on the ERS dashed line, the driving method would be exactly the same as that employed in the conventional system; however, in the present invention, the odd-numbered rows are scanned for erasure, for example, on the ERS dashed line, and the even-numbered rows are scanned for erasure on the ERS' dashed line. As a result, in the illustrated example, for the first row,

the driving for erasure is started in the period  $T_1$ , and the sustained emission period lasts for  $16T$ , while for the second row, the driving for erasure is started in the period  $T_4$  and the sustained emission period lasts for  $2T$ , and the sustained emission periods of  $16T$  and  $2T$  are repeated in alternating fashion for the subsequent rows.

[0030] In other words, in the driving method shown in Figure 1, if the sustain factor is 1, bit 4 of display data (bits 0, 1, ...) is displayed on each odd-numbered row, and bit 1 is displayed on each even-numbered row. Bit allocation is not limited to the illustrated example, but can be set arbitrarily, and it is of course possible to interchange the odd-numbered rows with the even-numbered rows for driving.

[0031] Whether the driving method of Figure 1 is feasible or not is in principle determined by the characteristics of the display panel used, and as a display panel characteristic that limits the feasibility, one must consider the case where the operation of the preceding row affects the operation of the next row; a typical example of this is the case of a gas discharge display panel. That is, in a gas discharge display panel, in particular, a DC gas discharge display panel, since high-speed driving is achieved by utilizing the effect of priming as is well known, it is difficult to achieve high-speed writing by random access or interlaced scanning; accordingly, a driving method that performs a write scan in a line sequential manner using auxiliary discharges is the method that suits the gas discharge display panel, but there is no reason that erasure should also be performed in a line sequential manner. Accordingly, while it is necessary to generate an auxiliary discharge in advance near the display cell to be written to so that the discharge can be started quickly, the erasure of the discharge does not require such a

preliminary auxiliary discharge action, and the method of the present invention can therefore be implemented exactly as illustrated above without any problem.

[0032] If the display cells are such that they cannot be erased or cannot be maintained in the OFF state depending on the state of the display cells in the preceding row, the driving method illustrated above cannot be applied, but none of the display cells commonly used in prior known systems have such characteristics, and as long as binary memory display is possible, the ON state or the OFF state can be maintained regardless of the state of the preceding row; therefore, characteristics that render the application only to erasure impossible are generally hard to imagine.

[0033] As a specific example of the display operation illustrated in Figure 1, drive voltage waveforms and light-emission waveforms for an AC display panel are shown in Figure 3 corresponding to Figure 9(a), and drive voltage waveforms and light-emission waveforms for a DC display panel are shown in Figure 4 corresponding to Figure 9(b). Though the number of sustained light emissions is different between Figure 3 or 4 and Figure 9(a) or 9(b), respectively, it is apparent that the display brightness that differs between the odd- and even-numbered rows can be achieved by the driving method illustrated here.

[0034] Next, the configuration of a prior art driving circuit apparatus for driving a memory type display panel of the type first described is shown in generalized form in Figure 12(a), and drive voltage waveforms for the display panel are shown in Figure 12(b). In the driving circuit apparatus shown in Figure 12(a), P indicates a display panel which comprises driving electrodes arranged as shown in Figure 2, and the driving circuit for driving the display panel P is

constructed by combining AND gates, high-voltage driving circuits (DR), high-voltage pulse mixing circuits, and shift registers  $R_w$ ,  $R_s$ , and  $R_e$  for creating write, sustain, and erase scan signals, respectively. Display data is stored in a latch L, and a high-voltage write pulse, created by ANDing the display data with a write strobe pulse  $w_{00}$  and output from each column electrode driving circuit DR, is mixed with a sustain pulse S and applied to each column electrode X. On the other hand, for each row electrode Y, the shift registers  $R_w$ ,  $R_s$ , and  $R_e$  are used for the write, sustain, and erase scans, respectively; the shift registers create sequential output drive signals  $w_{01}$ ,  $w_{02}$ , ...,  $s_{01}$ ,  $s_{02}$ , ..., and  $e_{01}$ ,  $e_{02}$ , ... respectively by sequentially shifting the respective input drive signals  $w_0$ ,  $s_0$ , and  $e_0$  by a clock pulse period T, then the sequential output drive signals are ANDed with the respective strobe pulses  $w_{00}$ ,  $s_{00}$ , and  $e_{00}$  to create sequential scan pulses  $w_1$ ,  $w_2$ , ... such as shown in Figure 12(b), and the scan pulses are sequentially mixed with scanning high-voltage pulses in the respective high-voltage pulse mixing circuits and applied to drive the respective row electrodes Y. The write strobe pulse  $w_{00}$  shown in Figure 12(b) is a pulse train with the same clock period T as the write strobe pulse  $w_0$  shown in Figure 12(b). In the circuit diagram, polarity is not shown. Logic level is set to 1 for the period that the named function is to be executed, or for the period that contains the execution of the function. The logic levels 0 and 1 are expressed as  $0_L$  and  $1_L$ , respectively. The high-voltage pulse mixing circuits are circuits that comprise registers and diodes and that mix a plurality of scanning high-voltage pulses; when mixing ternary pulses (0, positive, and negative), there are cases where the positive and negative pulses are mixed separately, and such cases are also included

in the illustrated diagram.

[0035] In the case of the drive voltage waveforms for the prior art AC display panel shown in Figure 9(a), the sustain pulse S is applied in common to all the rows simultaneously; since this corresponds to the case where  $s_0 = 1_L$  and  $s_{00} = S$  in the circuit configuration shown in Figure 12(a), the sustain scan shift register  $R_s$  is omitted and the circuit configuration shown in Figure 13(a) results. In the case of the drive voltage waveforms for the pulsed memory driving of the prior art DC display panel shown in Figure 9(b), since all the scan pulses except the write scan pulse w are simple binary pulses, if a high-voltage pulse mixing circuit configured to preferentially output the write pulse  $w_0$  or a combination of a driving circuit and such a mixing circuit is used in the circuit configuration shown in Figure 12(a),  $e_0$  can be made equal to  $\sim s_0$  where  $\sim$  is a logical NOT, but provision must be made to prevent the write pulse from shorting to other outputs upon the preferential output of the write pulse; further, when  $e_0 = \sim s_0$ , either one of the sustain scan and erase scan shift registers  $R_s$  and  $R_e$  can be omitted, as shown in Figure 13(b), when a two-potential output driving circuit BHDR is used that can output two values of the sustain potential and erase potential. In Figure 13(b), the single-potential output driving circuit SDR, provided in combination with the two-potential output driving circuit BHDR, produces a specific potential output when ON, and is open when OFF. However, DR in Figure 12(a) generally indicates a driving circuit, and does not define its internal configuration.

[0036] In contrast with the common prior art configuration of the memory type display panel driving circuit apparatus shown in Figure 12, the present invention can achieve the display operation of Figure 1 using, for example, the driving

circuit apparatus of the configuration shown in Figure 5. In the driving circuit apparatus of the configuration shown in Figure 5, the row electrode driving circuit system is divided into two groups, one for the odd-numbered rows and the other for the even-numbered rows, and the input drive signals  $s_0$  and  $e_0$  to the sustain scan and erase scan shift registers in the prior art apparatus shown in Figure 12(a) are divided in the present invention into input drive signals  $s_{10}$ ,  $s_{20}$  and  $e_{10}$ ,  $e_{20}$ , respectively, whose values can be set differently between the odd- and even-numbered rows so that the sustained emission period length can be set separately for the odd- and even-numbered rows. Accordingly, in the configuration of the present invention shown Figure 5 which drives each scan shift register with a clock pulse of the same period  $T$  as that used in the prior art configuration shown in Figure 12(a), the output of each scan shift register is used for every other bit, that is, for an odd-numbered row or an even-numbered row, respectively. Figure 5 has shown the basic configuration of the driving circuit apparatus according to the present invention, and in practice, various modifications for simplifying the circuit configuration are possible. For example, in Figure 5, since the input and output are exactly the same between the odd-number row write scan shift register  $R_{w1}$  and the even-numbered row write scan shift register  $R_{w2}$ , it will suffice for the purpose if the output of one or the other of the registers is used. Furthermore, simplification of the circuit configuration, such as the simplifications from Figure 12(a) to Figures 13(a) and 13(b), is also possible. Moreover, if each one phase of a two-phase clock pulse of period  $2T$  is used for driving each of the odd-numbered row scan and even-numbered row scan shift registers, the number of bits in the shift registers as a whole does not increase compared with the

prior art configuration since all the bits output from each shift register can be used for scanning. In such two-phase clock driving, the minimum value of the sustained emission period length is  $2T$ , but as will be described later, this does not present any practical problems.

[0037] The above description has dealt with the circuit configuration in which the row electrodes are divided into two groups, but it is also possible to divide them into three groups. The following description also deals with the case where the row electrodes are divided into two groups.

[0038] A specific example of how grayscale display is implemented in accordance with the basic principle illustrated in Figure 1 is shown in Figure 6. This figure corresponds to Figure 10 which showed a prior art implementation of grayscale display, but major differences are that while a sequential scanning signal is used in the example of Figure 10 for display, an interlaced signal is used in the example of Figure 6, that in the example of Figure 6, the number of subfields in one field is reduced to one half of that in Figure 10, and that the subfield corresponding to the low-order bit is made to temporally overlap a subfield in the next field. Shown in Figure 1 is an enlarged view of a portion of the subfield  $U_1$  in Figure 6.

[0039] Figure 6, as in Figure 10, shows an example for achieving 6-bit grayscale; of the double lines showing sustain periods and the diagonal lines showing erase scans, the lines indicating the display operations for displaying data of field 1 on odd-numbered lines are shown by solid lines and the lines indicating the display operations for displaying data of field 2 on even-numbered lines are shown by dashed lines. More specifically, of the data for the odd-numbered lines in field 1, for example, the high-order three bits ( $b = 5$  to 3) are

displayed on the odd-numbered lines in the subfields  $U_2$  to  $U_0$  in field 1, but the remaining three bits ( $b = 2$  to 0) are displayed on the same odd-numbered lines in the subfields  $U_2$  to  $U_0$  in the next field 2. On the other hand, the high-order three bits of the data in field 2 are displayed on the even-numbered lines in field 2, while the low-order three bits are displayed on the even-numbered lines in field 1. Accordingly, in each field, by switching the data between the high-order bits of that field and the low-order bits of the preceding field from one line to the next, data corresponding to the respective lines are synthesized and displayed in the same subfield.

[0040] Figure 6 has shown the case of displaying 6-bit grayscale as an example, but it is apparent that the number of bits to be displayed is irrelevant to the essential character of the driving method of the invention. Further, Figure 6 has shown the case where the six bits are divided into groups of 3 bits and the low-order three bits are assigned to the next field, but the method of dividing the six bits between the fields is not limited to the illustrated example; for example, the six bits may be divided into the high-order four bits and low-order two bits. With such dual setting of the sustain period, since the upper half of all the bits need only be assigned to one field from the viewpoint of time assignment, the period T in the basic operation can be increased up to about two times.

[0041] In Figure 6, the bits are arranged in order of decreasing weight, because it is considered that when displaying a moving image, it is desirable to display the bits in the order of brightness, the brightest one first. However, the bits may be arranged in a random order, if necessary.

[0042] The drawback of the driving method of the present

invention is that since the brightness is reproduced over two fields, when displaying a television image a phenomenon similar to afterglow may occur depending on how the bits are assigned. The degree of afterglow is roughly 1/16 (6%) of the maximum brightness when the number of subfields actually set is four, and about 3% when the number of subfields is five.

[0043] When displaying a television image on a memory type display panel, to facilitate the driving of the display panel the signal format must be converted before transferring the signal to the X-electrode driving circuit. The following are the main points of the conversion.

(1) Per-bit display data is transferred for each subfield.

(2) Since display data for all the display cells in one row must be transferred to the X-electrode driving circuit within write time  $T_w$  allowed for each row in the display panel, the data must be transferred at high speed; usually, the data are transferred in series if they can be transferred within the allowed time, otherwise the data are divided into a plurality of groups and transferred in parallel.

The signal format conversion is usually performed using a frame memory.

[0044] A configuration example of the signal conversion circuit used for creating the television signal display illustrated in the example of Figure 6 is shown in Figure 7. In the configuration shown,  $MH_1$ ,  $ML_1$  and  $MH_2$ ,  $ML_2$  are two pairs of field memories for an odd field  $F_1$  and an even field  $F_2$ , respectively, and the letters H and L indicate that the memories are for the high-order bit group  $D_H$  and low-order bit group  $D_L$ , respectively, into which all the bits of the display data have been divided as previously described. FDL is a field delay element used for the low-order bit group; typically, a memory is used.  $L_1$  and  $L_2$  indicate an odd-

numbered line and an even-numbered line, respectively, of the display panel, and switches  $S_1$  to  $S_8$  are each used for selecting the corresponding contact during the period corresponding to the specified field or line. WRT is a write pulse to each field memory, and  $D_{IN}$ ,  $D_{OUT}$ , and WE are a data input, data output, and write pulse input on each memory device. The outputs of the field memories are read out parallelly in groups the number of which is equal to the number of parallel transfers described in item (2) above, but not explicitly shown here.

[0045] According to the configuration of Figure 7, in an odd field, the high-order bit group of the data of the odd field is read into the memory  $MH_1$ , while the low-order bit group of the data of the preceding even field is read into the memory  $ML_2$ ; in the meantime, each time an even-numbered line is selected by the write scan of the display panel, the high-order bit group of the even-field data is read out of the memory  $MH_2$ , and in each of the subfields  $U_2$  to  $U_0$  in field 1 in Figure 6, data of bits 5 to 3 are sequentially transferred to the driving circuit. On the other hand, in the succeeding even field, data are read out of the respective memories  $MH_1$  and  $MH_2$ ; here, for the even-numbered lines, the low-order bit data of the field before the preceding field, i.e., an odd field, are read out of the memory  $ML_2$ , and in each of the subfields  $U_2$  to  $U_0$  in field 2 in Figure 6, bits 2 to 0 are transferred to the driving circuit. From the description given above, it can be seen that the even-numbered lines are driven over the two fields by using the six-bit data of the same input field. For the driving of the odd-numbered lines, the terms even and odd in the above description should be interchanged with each other.

[0046] In Figure 7, if the delay element FDL is omitted,

the memories  $ML_1$  and  $ML_2$  are interchanged with each other, the memories  $MH_1$  and  $ML_1$ , and the memories  $MH_2$  and  $ML_2$  are respectively combined as frame memories, and the memory output switches  $S_6$  and  $S_7$  are omitted, then the result is the conversion circuit for the prior art driving method. That is, the frame memories in the prior art conversion circuit can be used as the field memories in the conversion circuit of the present invention, the capacity of the main memory device can be reduced by half. Though the field delay element FDL as a memory for the low-order bits has to be provided, the total required memory capacity is nevertheless reduced, since the FDL only requires a memory just enough to hold the low-order bits. Furthermore, while many parallel outputs have to be taken from the main memory, as previously described, the FDL need only delay the input signal and is therefore far simpler in configuration. As described above, according to the television image signal conversion circuit for implementing the driving method of the present invention, the memory capacity can be reduced drastically, although the configuration becomes a little more complex.

[0047]

[Advantageous Effect of the Invention] Figure 8 shows, in the same format of Figure 11, an example of the maximum allowable drive period versus the number of rows in the display panel when the driving method of the present invention is used. Figure 11 has shown the case where one field is divided into eight subfields to achieve an 8-bit display; on the other hand, Figure 8 shows the case where one field is divided into four subfields and an 8-bit display is achieved with two fields. To compare the brightness of the grayscale display obtained, the number of sustained light emissions per frame must be considered, and to compare it with the number of sustained

light emissions per field in the prior art method, if one half of the number of sustained light emissions in the LSB of one frame period is defined as the sustain factor

[Outside Character 1]

/M

then in the prior art driving method

[Outside Character 2]

M = /M

and its minimum value is 1. On the other hand, in the driving method of the present invention that provides the characteristics shown in Figure 8, the minimum value of the sustain factor

[Outside Character 3]

/M

is 1/2. As is apparent from a comparison between the characteristics of the two methods, the straight line for the minimum value of the sustain factor

[Outside Character 4]

/M

that is, when the sustain operation period in LSB is equal to the drive period T, shows that in the characteristics shown in Figure 8, the value of the drive period T for the same number of lines is simply twice that in the characteristics shown in Figure 11, but as the sustain factor

[Outside Character 5]

/M

increases, the ratio of the drive period values T tends to become smaller than 2. However, in cases where the number of lines is larger than the number of scan lines in the standard television system and the sustain factor

[Outside Character 6]

/M

is not very large, i.e., 8 or less, the driving speed can be reduced to about one half.

[0048] As typical examples of the above case, the standard television system and high definition television system are considered, and the number of effective scan lines is 480 and 1035 for the respective systems.

[0049] In the standard television system, if the sustain factor is

[Outside Character 7]

/M = 1

then in the prior art driving method, the drive period T is given as  $T \leq 4.3 \mu s$  from the characteristics shown in Figure 11, while in the driving method of the present invention, it is given as  $T \leq 8.6 \mu s$  from the characteristics shown in Figure 8. On the other hand, in the high definition television system, if the sustain factor is likewise

[Outside Character 8]

/M = 1

then  $T \leq 2.0 \mu s$  in the prior art method, compared with  $T \leq 4.0 \mu s$  in the method of the present invention.

[0050] Next, when a comparison is made by assuming that the maximum possible drive period T is 4  $\mu s$ , then in the standard television system the sustain factor

[Outside Character 9]

/M

is 6 at maximum in the prior art method, compared with 8 at maximum in the method of the present invention. On the other hand, in the high definition television system, the sustain factor becomes unrealizable in the prior art method, but in the method of the present invention, the sustain factor is realizable up to

[Outside Character 10]

/M = 4

[0051] When the application of the present invention is focused mainly on the high definition television system, the advantageous effects of the present invention can be summarized as follows:

(1) While high speed driving with a drive period of 2  $\mu$ s has been required in the prior art driving method, the driving method of the present invention allows the display panel to be driven with a drive period of 4  $\mu$ s. In particular, in the case of a gas discharge display panel which requires a high-voltage driving circuit that is not easy to operate at high speed, what has been unrealizable in the prior art becomes realizable in the present invention.

(2) In the case of a gas discharge display panel, if a high definition television image is to be displayed on a 1000-line display panel by the prior art driving method, it would be advantageous to divide the row electrode array into two halves along the center of the display panel and to drive each row electrode with a 4- $\mu$ s drive period from both the upper and lower edges, but according to the driving method of the present invention, driving with a 4- $\mu$ s drive period becomes possible without having to divide the row electrode array into two halves or double the number of high-voltage driving circuits.

(3) If dividing the row electrode array into two halves and doubling the number of driving circuits are allowed, the drive period can be extended up to 8  $\mu$ s for driving a 1000-line display panel, and this allows the conditions, such as the gas composition and fill gas pressure, to be set at optimum points for light-producing efficiency to the extent

that the drive period of 8  $\mu$ s permits.

(4) If dividing the row electrode array into two halves and doubling the number of driving circuits are allowed, a 2000-line display panel can be driven with a 4- $\mu$ s drive period by the driving method of the present invention. In many cases, two row electrodes are provided for each pixel containing three to four color dots; in such cases, 2000 row electrodes are required in order to faithfully reproduce 1000 scan lines, except the case where each dot in each pixel has an independent column electrode. Accordingly, when the driving method of the present invention is applied, it becomes possible to drive a high definition television display panel having such a final structure.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Figure 1] Figure 1 is a time chart showing the basic principle of a driving method for a memory type display panel according to the present invention.

[Figure 2] Figure 2 is a diagram schematically illustrating the arrangement of display cells in a matrix display panel.

[Figure 3] Figure 3 is a waveform diagram showing examples of drive voltage waveforms and light-emission waveforms when causing an AC gas discharge display panel to perform a memory display operation by the driving method of the present invention.

[Figure 4] Figure 4 is a waveform diagram showing examples of drive voltage waveforms and light-emission waveforms when causing a DC gas discharge display panel having a pulse memory function to perform a memory display operation by the driving method of the present invention.

[Figure 5] Figure 5 is a diagram showing a configuration example of a scan driving circuit according to the driving

method of the present invention.

[Figure 6] Figure 6 is a time chart showing an example of how grayscale is achieved for a memory type display panel by using the driving method of the present invention.

[Figure 7] Figure 7 is a diagram showing a configuration example of a signal conversion circuit for achieving grayscale for a television image by using the driving method of the present invention.

[Figure 8] Figure 8 is a characteristic curve diagram showing upper limits of the drive period for 8-bit grayscale display according to the driving method of the present invention.

[Figure 9] Figures 9(a) and 9(b) are waveform diagrams each showing examples of drive voltage waveforms and light-emission waveforms when causing an AC gas discharge display panel or a DC gas discharge display panel, respectively, to perform a memory display operation by a prior art driving method.

[Figure 10] Figures 10(a), 10(b), and 10(c) are time charts showing a prior art implementation of grayscale display for a memory type display panel.

[Figure 11] Figure 11 is a characteristic curve diagram showing upper limits of the drive period for 8-bit grayscale display according to the prior art driving method.

[Figure 12] Figures 12(a) and 12(b) are a circuit configuration diagram and a waveform diagram showing respectively a generalized configuration of a scan driving circuit and examples of operating voltage waveforms according to a prior art memory type driving method.

[Figure 13] Figures 13(a) and 13(b) are diagrams showing configuration examples of AC and DC gas discharge display panels, respectively, according to the prior art memory type

driving method.

[DESCRIPTION OF THE REFERENCE CHARACTERS]

Dki ... display cell

DR ... high-voltage driving circuit

Rw ... write scan shift register

Rs ... sustain scan shift register

Re ... erase scan shift register

P ... display panel

L ... display data latch circuit

SDR ... single-potential output driving circuit

BHDR ... two-potential output driving circuit

FDL ... field delay circuit

MH, ML ... field memory

17

【図9】(a)および(b)はAC型気体放電表示パネルおよびDC型気体放電表示パネルに従来の駆動方法によってメモリ表示動作を行なわせる場合の駆動電圧波形および発光波形の例をそれぞれ示す波形図である。

【図10】(a)～(c)はメモリ型表示パネルにおける中間調表示の従来の態様の例をそれぞれ示すタイムチャートである。

【図11】従来の駆動方法による8ビット中間調表示における駆動周期の上限を示す特性曲線図である。

【図12】(a),(b)は従来のメモリ型駆動方法による走査駆動回路の一般化した構成および動作電圧波形の例をそれぞれ示す回路構成図および波形図である。

【図13】(a),(b)は従来のメモリ型駆動方法によるAC型およびDC型の気体放電表示パネルの走査駆動回路の構

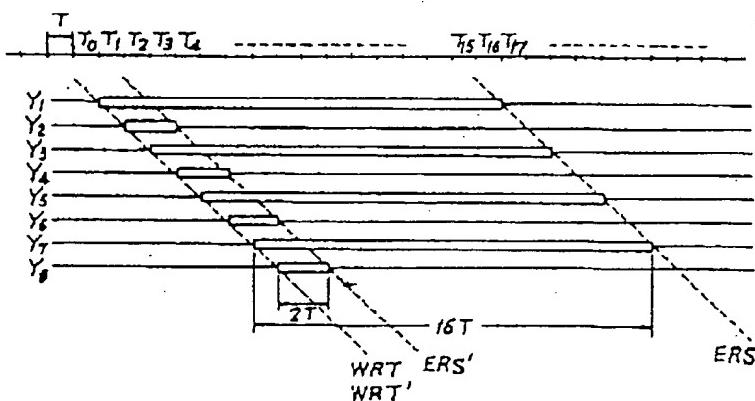
18

成例をそれぞれ示す図である。

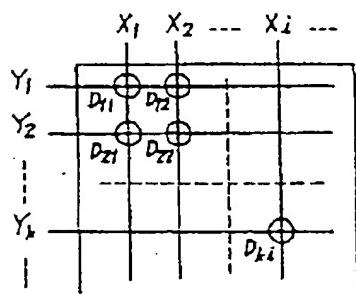
【符号の説明】

D <sub>11</sub>	表示セル
DR	高圧駆動回路
R <sub>1</sub>	蓄込み走査用シフトレジスタ
R <sub>s</sub>	維持走査用シフトレジスタ
R <sub>t</sub>	消去走査用シフトレジスタ
P	表示パネル
L	表示データラッピング回路
I0	SDR 単電位出力駆動回路
	BHDR 2電位出力駆動回路
	FDL フィールド遅延回路
MH, ML	フィールドメモリ

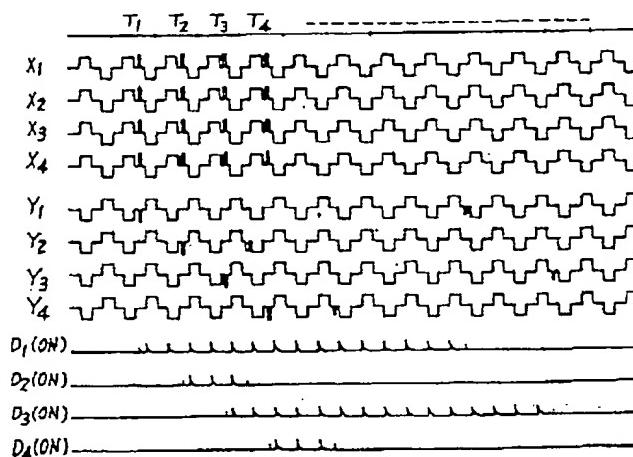
【図1】Fig. 1



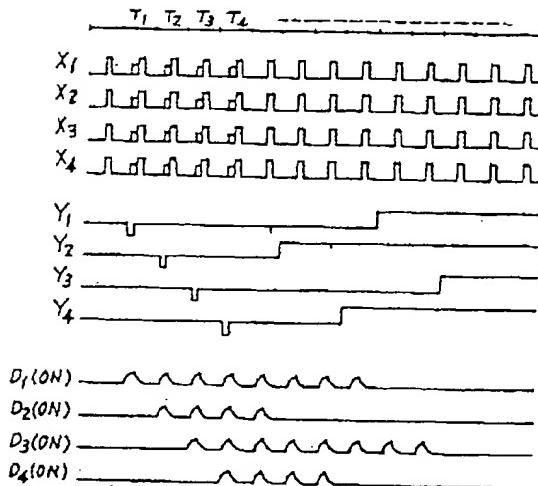
【図2】Fig. 2



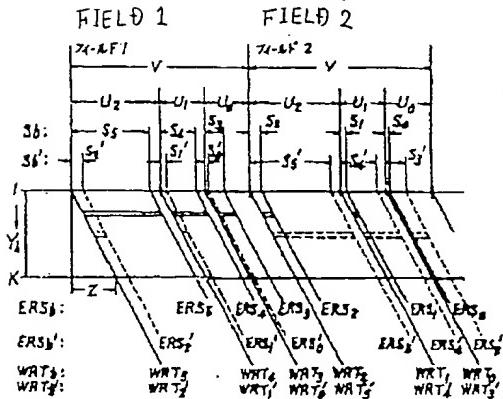
【図3】Fig. 3



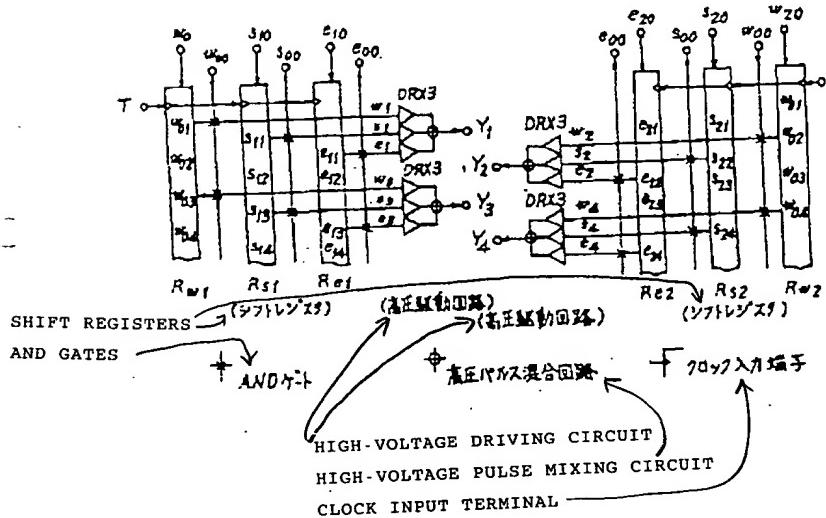
[図4] Fig. 4



[図6] Fig. 6

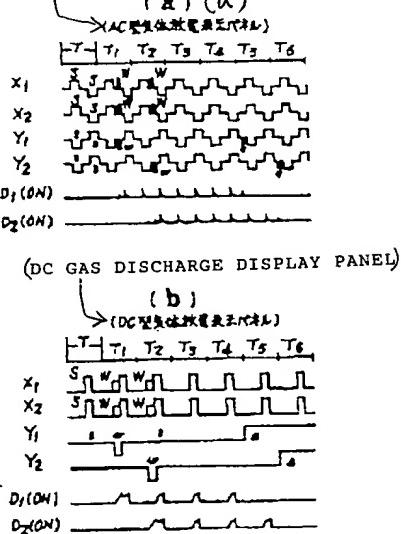


[図5] Fig. 5

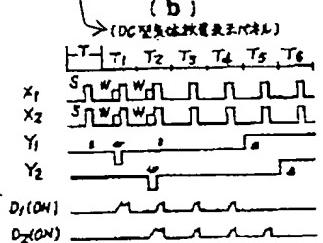


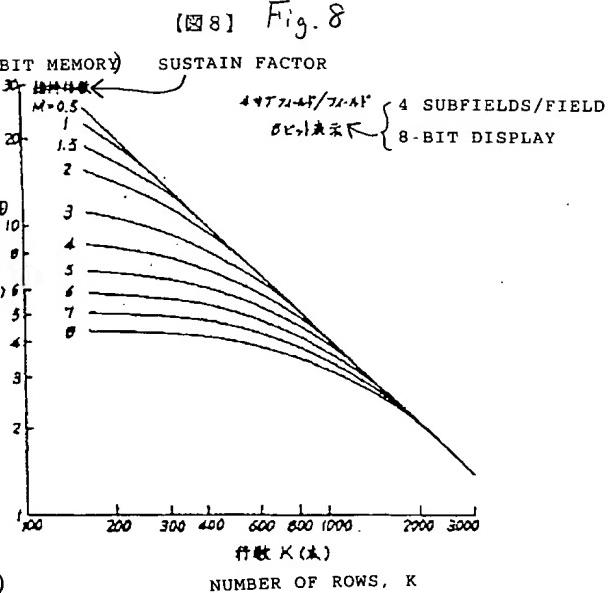
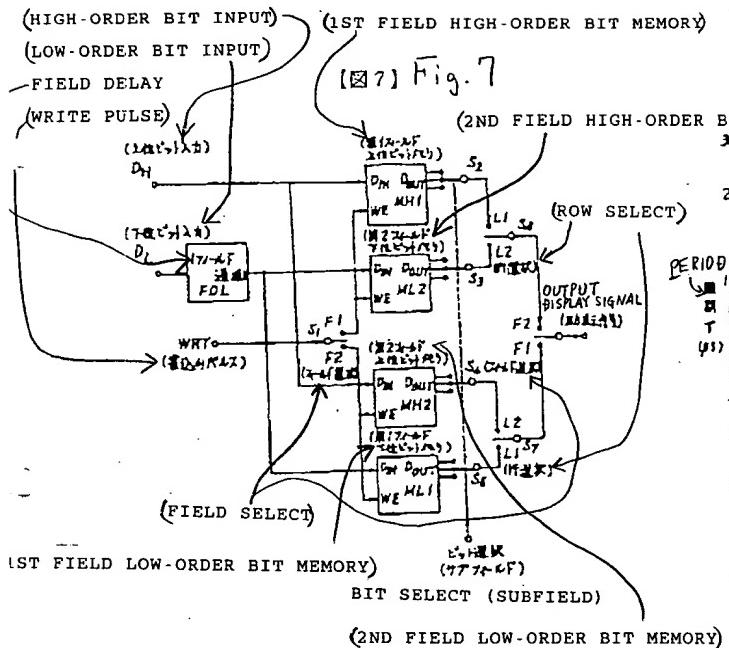
[図9] Fig. 9

(AC GAS DISCHARGE DISPLAY PANEL) (a)

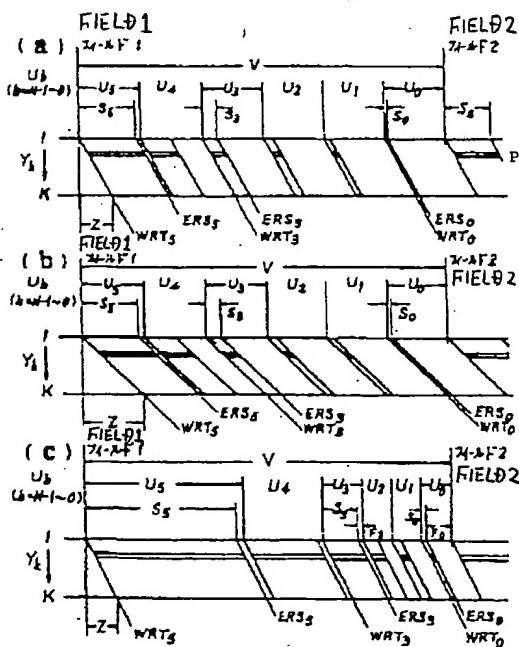


(DC GAS DISCHARGE DISPLAY PANEL)

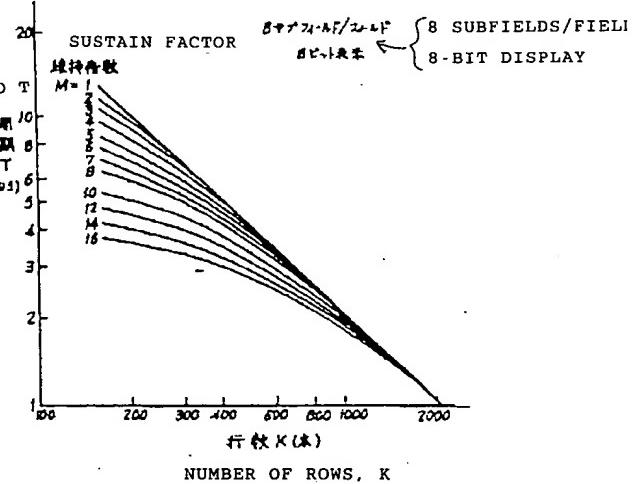




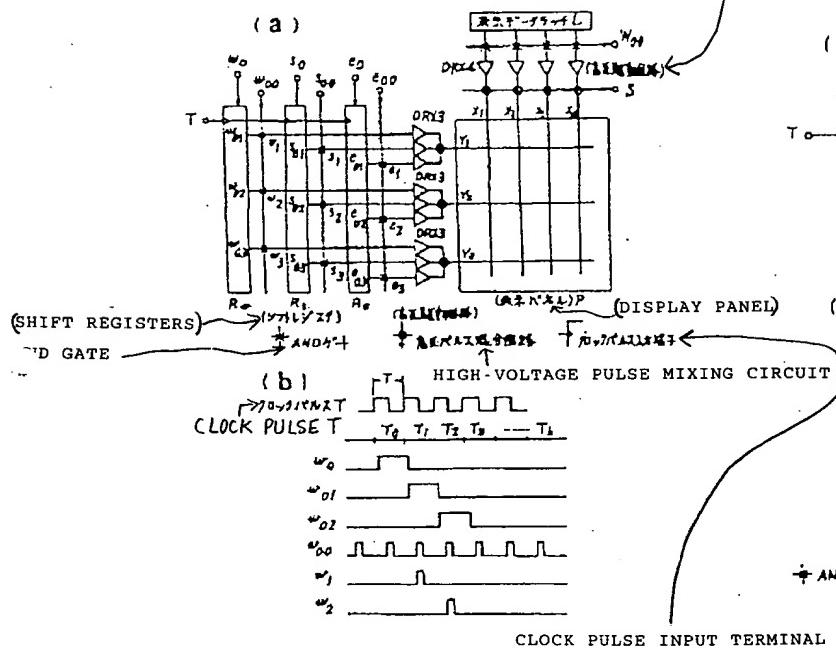
[图 10] Fig. 10



[図11] Fig. 11



(HIGH-VOLTAGE DRIVING CIRCUIT)  
[Fig. 12] Fig. 12

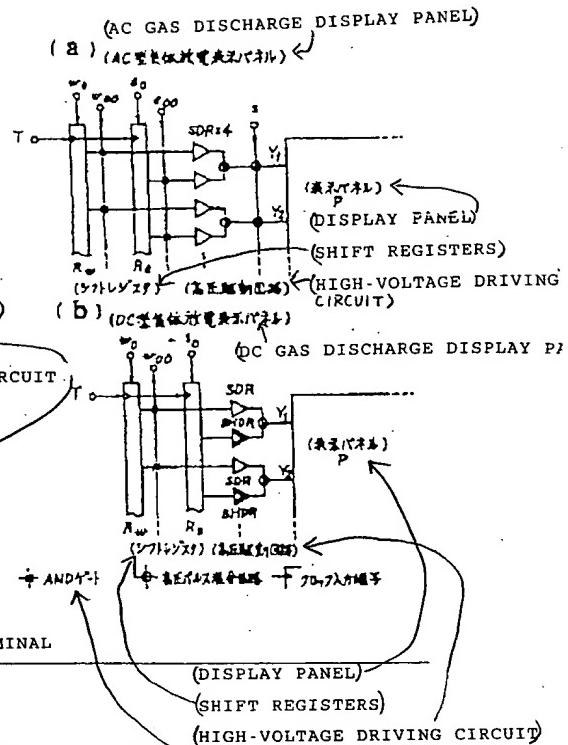


## フロントページの続き

(72) 発明者 栗山 孝夫

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

[図13] Fig. 13



(72) 発明者 坂井 敏男 AND GATE  
東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-299385

(43)公開日 平成4年(1992)10月22日

(51) Int.Cl.<sup>5</sup>  
 G 0 9 G 3/28  
 H 0 4 N 5/66

識別記号 庁内整理番号  
 Z 9176-5G  
 A 7205-5C

F I

技術表示箇所

審査請求 未請求 請求項の数12(全 13 頁)

(21)出願番号

特願平3-87352

(22)出願日

平成3年(1991)3月28日

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 金子 ▲隆▼一

東京都世田谷区砧一丁目10番11号 日本放  
送協会放送技術研究所内

(72)発明者 丹羽 敏

東京都世田谷区砧一丁目10番11号 日本放  
送協会放送技術研究所内

(72)発明者 村上 宏

東京都世田谷区砧一丁目10番11号 日本放  
送協会放送技術研究所内

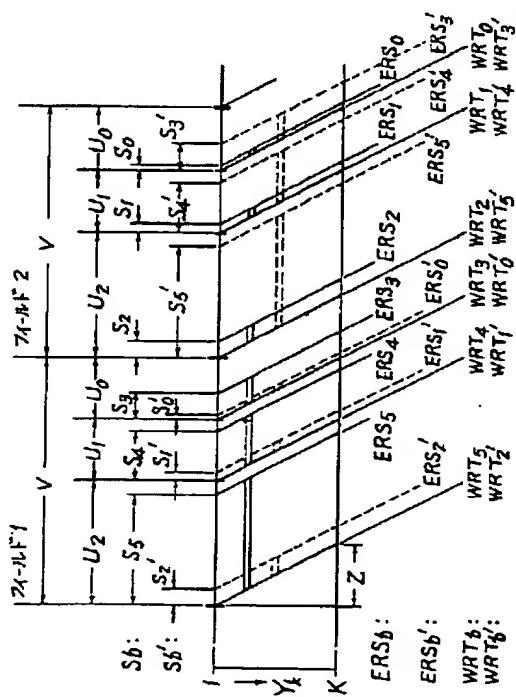
(74)代理人 弁理士 杉村 晓秀 (外5名)

最終頁に続く

(54)【発明の名称】 メモリ型表示パネルの駆動方法

(57)【要約】

メモリ機能を有するメモリ型マトリクス表示パネルの画像表示に際し、行電極を奇偶の2群に分け、書き込みは順次走査で行ない、消去は群毎に異なる制御信号で駆動して、同一サブフィールドで群毎に異なる輝度表示を可能にするとともに、表示データを上位ビット群と下位ビット群とに2分し、上位ビットは入力画像信号の飛越し走査の各フィールドで対応した行に表示し、下位ビットはその次のフィールドで同一行に表示して、上位ビットのみに実際の表示時間を割当て、下位ビットは上位ビットの時間枠内で表示を済ませ、フィールド内のサブフィールド数をほぼ半減させる。かかるサブフィールド数半減の効果は、高性能発揮可能な駆動条件、例えば、発光効率改善可能な駆動条件や大型表示パネル駆動可能な駆動条件等の設定、表示パネル構造の複雑化の回避、駆動回路の負担軽減、駆動回路の規模縮小、入力画像信号の順次走査信号への変換不要などである。



## 【特許請求の範囲】

【請求項1】 2値のメモリ動作をするマトリックス型表示パネルに表示データの書き込み、維持、消去から成る、全行にわたる1駆動サイクルのメモリ駆動を行なうにあたり、各セルへの書き込み駆動を線順次に走査する一方、nを2以上の整数とするn-1行おきの行電極を1群として行電極をn群に分割し、群毎に異なる、0を含み得るn通りの維持期間を割当て、各群内においては、書き込み駆動の後、割当てられた群内共通の維持期間をもつ維持駆動、およびそれに続く消去駆動を行ない、かつ全群の駆動を並列的に行なうことにより、群毎に異なるn種類の、○nセルの表示輝度を得るようにしたことを特徴とするメモリ型表示パネルの駆動方法。

【請求項2】 前記1駆動サイクルを繰り返した、連続するm個の駆動サイクルにおいて、前記群毎に異なるn通りの維持期間の割当を駆動サイクル毎に変更して、1群に属する○nセルの、1駆動サイクルで得られる表示輝度として群毎に順次にm種類の値が得られるようにしたことを特徴とする請求項1記載のメモリ型表示パネルの駆動方法。

【請求項3】 任意の連続したnフィールドを表示の1サイクルとし、これより順次1フィールドずつシフトした計n群の長さnフィールドずつの表示サイクルを設定し、n群の表示サイクルと前記行電極のn群とを任意に1:1に対応させ、mを1以上の整数として1フィールドをm個のサブフィールドに分割して1表示サイクル内にm×n個のサブフィールドを設け、1サブフィールド期間内に前記1駆動サイクルを実行し、1群内におけるm×n個のサブフィールドに、任意個数の0を含み得る、最大m×n種類の、○nセルの表示輝度を割当て、前記n群の行電極各群に、表示輝度0が続く場合を除けばサブフィールド毎に長さが異なる1表示サイクルで最大m×n種の維持期間を割当て、かつ最大m×n個のサブフィールドの0を除く○nセルの表示輝度に2進荷重した値を割り当てることにより、最大2<sup>m</sup>階調の中間調を表示し得るようにしたことを特徴とする請求項2記載のメモリ型表示パネルの駆動方法。

【請求項4】 2:1ラインインターレースしたテレビジョン信号を入力とし、行電極を1行おきの2群に区分するとともに画像データを上位ビット群と上位ビット群よりビット数が多くない下位ビット群とに区分し、1フィールド内のサブフィールド数を上位ビット群と同数だけ設定し、奇数フィールドでは第1のフィールドの入力信号の上位ビット群を第1群の行に表示し、偶数フィールドでは第2のフィールドの入力信号の上位ビット群を第2群の行に表示し、下位ビット群はそれぞれ対応する上位ビット群の次のフィールドで同一行に表示するように駆動することによりサブフィールド数を低減したことを特徴とする請求項3記載のメモリ型表示パネルの駆動方法。

10

20

30

40

50

【請求項5】 順次走査画像信号を入力とし、行電極を1行おきの2群に区分するとともに画像データを上位ビット群と上位ビット群よりビット数が多くない下位ビット群とに区分し、1フレーム内のサブフィールド数を上位ビット群と同数だけ設定し、奇数フレームでは第1のフレーム入力信号の上位ビット群を第1群の行に表示するとともに下位ビット群を第2群の行に表示し、偶数フレームでは第2のフレーム入力信号の上位ビット群を第2群の行に表示するとともに下位ビット群を第1群の行にて表示することによりサブフィールド数を低減したことを特徴とする請求項3または4記載のメモリ型表示パネルの駆動方法。

【請求項6】 サブフィールド数を低減するとともにその低減の効果を用いて維持駆動周期を増加させることを特徴とする請求項3、4または5記載のメモリ型表示パネルの駆動方法。

【請求項7】 維持駆動周期増加の効果を用いて発光効率を改善したことを特徴とする請求項6記載のメモリ型表示パネルの駆動方法。

【請求項8】 サブフィールド数を低減するとともにその低減の効果を用いて行数を増加させたことを特徴とする請求項3、4または5記載のメモリ型表示パネルの駆動方法。

【請求項9】 サブフィールド数を低減するとともにその低減の効果を用いて非分割陽極表示パネルを用いたことを特徴とする請求項3、4または5記載のメモリ型表示パネルの駆動方法。

【請求項10】 サブフィールド数を低減するとともにその低減の効果を用いて維持駆動回数を増加させたことを特徴とする請求項3、4または5記載のメモリ型表示パネルの駆動方法。

【請求項11】 サブフィールド数を低減するとともにその低減の効果を用いて表示ビット数を増加させたことを特徴とする請求項3、4または5記載のメモリ型表示パネルの駆動方法。

【請求項12】 サブフィールド数を低減するとともにその低減の効果を用いて入力テレビジョン信号の飛越し走査-順次走査変換処理を省略したことを特徴とする請求項3、4または5記載のメモリ型表示パネルの駆動方法。13. サブフィールド数を低減するとともにその低減の効果を用いたことを特徴とする請求項6乃至12の少なくともいずれか1項に記載のメモリ型表示パネルの駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、マトリクス型表示パネルの駆動方法に関し、特に、2値メモリ機能を有し、または、付与されたメモリ型表示パネルの中間調表示のための駆動方法の改善に関するものである。

【0002】 本発明は、メモリ型表示パネルのテレビ画

像表示に際し、表示パネルの行電極を奇偶行の2群に分け、書き込みは従来どおり順次走査で行なうが、消去は群毎に異なる制御信号で駆動することにより、同一サブフィールドにおいて群毎に異なる輝度を再現し得るようにしたものであり、かかる駆動方法を適用するとともに、表示データを上位ビット群と下位ビット群とに2分し、上位ビットは入力テレビ画像信号の飛越し走査に各フィールドで対応した行に表示し、下位ビットはその次のフィールドで同一行に表示することにより、上位ビットだけに実際の表示時間を割当て、下位ビットは上位ビットの時間枠内で表示を済ませることを可能とし、フィールド内の見掛け上のサブフィールド数を半減または半減に近いところまで減少させることを可能にする。

【0003】かかるサブフィールド数の減少によってもたらされる効果は多岐に亘る。すなわち、目的により、表示パネルがより高性能を発揮し得るような駆動条件を設定すること、典型的な例として発光効率を改善し得る駆動条件に設定すること、より大型の表示パネルの駆動を可能にすること、表示パネルの構造の複雑化を避けること、駆動回路の負担を軽減させること、駆動回路の規模を減少させること、入力テレビ画像信号の順次走査信号への変換を不要とすること、のいずれかもしくはこれらを組合せた効果が得られるように表示パネル、駆動回路系もしくは信号処理系を設計することが可能になる。

#### 【0004】

【従来の技術】表示セルを行列に配置したマトリクス型の表示パネルには、自ら発光するか否かに応じて、自発光型と受動型があるが、いずれの型にもメモリ機能をもつものがある。自発光型ではセル発光のあり、なし、または強弱で入力情報を表示し、受動型では透過率の変化、反射率の変化、あるいはそれらの色による違いなどで情報を表示する。以下、説明は自発光型について行なうが、表示のON、OFFの動作状態を対応させなければ受動型についても本発明を適用することができる。

【0005】メモリ型表示パネルにおけるメモリ機能については、2値のメモリ機能を用いて中間調を表示する場合を対象とする。多値あるいはアナログメモリ機能を有する場合でも安定性、一様性確保のために2値で使う場合があるが、この場合にも本発明を適用できる。

【0006】メモリ型表示パネルのメモリ駆動方法としては、基本的には表示データの書き込み(ON状態の開始)、維持および消去(OFF状態の開始)の3動作よりも、書き込みには線順次に全行にわたる行方向の走査を行ない、書き込みから消去までの期間維持発光を行なわせ、消去から次の書き込みまで非発光状態を保つことによって1駆動サイクルを構成する表示動作を行なう。発光状態から非発光状態への転移には表示パネルに消去動作を行なわせる消去駆動が必要である。維持期間の長さによって表示輝度が変わるので、1フィールドの入力画像信号

を表示ビット毎の画面(ピット面)に対応するサブフィールド毎の信号に分割し、サブフィールド毎に必要な2進荷重(2の累乗比)の表示輝度に相当する維持期間になるように設定して入力画像信号の各ピット面を表示し、それらのピット面の視覚的な合成効果として画像の中間調を表示する。表示パネルの特性によっては維持駆動回数と輝度が比例しない場合もあるが、このような場合は維持駆動の個数を補正すればよく、以下2の累乗比と表現した場合も上記のように補正した場合を含むものと解釈する。

【0007】マトリクス型の表示パネルでは、点順次走査では十分な輝度や応答速度が得られないので、同一行電極上の全表示セルを並列に動作させるのが一般であり、列方向の動作を規定すれば十分である。特定の1表示セルについてみると、基本的には維持の動作は常にに行なわれており、書き込みまたは消去が行なわれなければ表示ONまたはOFFの動作状態が保持される。書き込みから消去までは維持動作が行なわれなければならないが、消去の後次の書き込みまでの期間は、維持動作により積極的にOFFの状態を保ってもよく、また維持駆動を中止して表示OFFの状態を保つ駆動条件に設定してもよい。

【0008】かかる基本動作をするメモリ型表示パネルにつき、AC型気体放電表示パネルを例にとって従来の中間調表示駆動方法を詳細に説明すると、図2に示すように列電極(X電極) $X_i$ ( $i=1, 2, \dots$ )、行電極(Y電極) $Y_k$ ( $k=1, 2, \dots$ )の交点に位置する放電セルを $D_{ik}$ とし、AC型気体放電表示を行なわせる場合の駆動電圧波形を模式的に描くと図9(a)に示すようになる。X電極およびY電極には、繰返し周期Tの維持パルスSおよびsをそれぞれ連続的に印加しておく。最初に全放電セルをOFFとし、ある駆動期間 $T_1$ において、 $Y_1$ 電極に書き込みパルスWを印加するとともに、 $X_1$ および $X_2$ 電極には表示すべきデータに従って書き込みパルスWを印加する。書き込みパルスWを印加した第1行の放電セルは、同図に $D_{11}$ (ON)として示すように引続く維持パルスの印加の都度発光を繰返すのに対し、印加しなかった放電セルはOFF状態を保持する。次の駆動期間 $T_2$ においては、 $Y_2$ 電極に書き込みパルスWを印加して第2行の放電セルに書き込みを行ない、書き込みを行なった放電セルは、同図の $D_{22}$ (ON)に示すように発光を開始する。以下同様にして線順次に行方向の書き込み走査を行なうが、各行の書き込みパルスWは、先行する行の書き込みパルスWから周期Tだけ遅らせる。消去動作についても同様であり、期間 $T_3$ で消去パルスeを第1行に印加し、以下線順次に消去走査を行なう。図示の例では、維持パルス周期T内に正負一組の維持パルスを印加するようにしているので、Y電極に印加する書き込みパルスWから消去パルスeまでの4Tの期間に8回のパルス発光が行なわれている。書き込みと消去の両パルス間の間隔を変えることによって、各サブフィールドで再現される輝度を所望の累乗比にすることができる。-

方、DC型気体放電表示パネルをパルスメモリ駆動する場合の駆動電圧波形を図9(b)に模式的に示す。同図では、X電極が陽極、Y電極が陰極であり、Y電極の維持駆動電圧波形sおよび消去駆動電圧波形eが、いずれも、パルスではなく、T期間内で一定の直流電圧レベルとなっている。なお、メモリ表示機能に関しては図9(a)と同一の記号がそれぞれ対応し、全く同様に書き込み、維持および消去の各動作が行なわれる。

【0009】また、図9(a), (b)では維持パルス周期T<sub>w</sub>と各行間の書き込みパルス間隔T<sub>s</sub>とが等しい場合の例を示したが、一般的には必ずしも等しくする必要はない。以下においてはT<sub>w</sub>=T<sub>s</sub>の場合を例示し、両者をTで代表させる。図9(a), (b)において、各行の書き込みパルスwおよび消去パルスeの位置を斜めに結ぶことにより表示パネル全体の動作が明瞭に示される。つぎに、図10(a)～(c)に、N個のサブフィールドによってNビットの中間調を表示する従来の表示パネル駆動方法をサブフィールド、フィールド単位で示したタイムチャートの例をそれぞれ示す。同図には、6ビット(N=6)の中間調を表示する場合を例示しており、横軸は時間を示し、縦軸は表示パネルの行数をKとした場合における各行の位置Y<sub>k</sub>(k=1～K)を示す。また、Vはテレビ画像信号の1フィールドであり、U<sub>b</sub>(b=N-1～0)はフィールドVを区分したサブフィールドであって、添字bで示したビット面番号に従い、2<sup>b</sup>に荷重した表示輝度を再現すべきサブフィールドであることを示す。

【0010】各サブフィールドU<sub>b</sub>においては、まず、斜線WRT<sub>b</sub>で示した書き込みの行走査を行ない、その結果、各サブフィールドU<sub>b</sub>毎に複線で示したS<sub>b</sub>期間の維持動作により、書き込みが行なわれた表示セルが発光し、斜線ERS<sub>b</sub>で示した消去の行走査によってその発光時間が終了する。走査に要する時間はZ=K・Tである。以下サブフィールドU<sub>b</sub>毎に、同様な動作を繰返すが、S<sub>b</sub>/S<sub>b-1</sub>=2と設定することによって、6ビットに相当する64レベルの中間調を表示することができる。維持発光終了後、次の書き込みまでの発光休止期間には既述の消去動作を行なう。なお、各記号U<sub>b</sub>, S<sub>b</sub>, Z等は、名称とともに時間長も表わすものとする。表示データのLSBに対応するサブフィールドU<sub>b</sub>における維持期間長S<sub>b</sub>が最小値Tである場合には、サブフィールドU<sub>b</sub>では維持動作が1回だけ行なわれる。なお、S<sub>b</sub>/T=Mとして、Mを維持倍数と称する。自発光型表示パネルにおいては、M>1ならば一般にM=1のときのM倍の表示輝度が得られる。

【0011】図10(a), (b)は、各サブフィールドの長さU<sub>b</sub>を単純に等分してフィールド長Vの1/Nとした最も簡単な場合を示し、同図(a)は、表示パネルの行数Kが少ないと、または、駆動速度に余裕があつて行走査に要する時間Zがサブフィールド長U<sub>b</sub>より短い場合を示し、LSBに近いビットに対応するサブフィールドでは、

維持動作終了から次の書き込みまでの比較的長い期間を休止状態としているので、維持倍数すなわち最高輝度を大きくすることはできない。

【0012】また、同図(b)は、逆に、表示パネルの行数Kが大きいか、または、駆動速度の不足、あるいは、その両方のために、許容限度まで走査速度を低下させた場合を示し、走査に関する駆動条件は、書き込み走査が終らぬうちに次の書き込み走査を開始することはできないということであり、したがって、Z<U<sub>b</sub>でなければならぬ。なお、同図にはZ=U<sub>b</sub>の場合が示してあり、全サブフィールドで書き込み走査期間には全く余裕がない。

【0013】一方、同図(a)では、書き込み走査期間が各サブフィールド間で重ならない範囲で前述した長い休止期間を短縮して、同図(c)に示すようにMSB(b=N-1)に近いビットに対応するサブフィールドにおける維持期間長の増大に充当することができる。この駆動方法においては、サブフィールドの長さU<sub>b</sub>は、書き込み走査期間Zと維持期間長S<sub>b</sub>との関係によって変わり、各期間長Z, S<sub>b</sub>のうちの最大値がサブフィールド長U<sub>b</sub>となる。例えば、図10(c)におけるMSBではS<sub>b</sub>>Zであるから、U<sub>b</sub>=S<sub>b</sub>となる。しかしながら、サブフィールドU<sub>1</sub>ではZ>S<sub>1</sub>であるから、U<sub>1</sub>=Zとなる。

【0014】以上に述べたメモリ型表示パネルの従来の中間調表示駆動方法を要約すると、行数が余り多くない表示パネルの場合には図10(a), (c)に示したように駆動条件に余裕がとれるが、行数が多い大型の表示パネルを対象とした場合には、図10(b)に示したように、表示すべき中間調を表わすためのビット数Nと表示パネルの行数Kとから自動的に決まる走査期間Zよりも短い期間に書き込み走査を終えるように駆動を行なわなければならない。

#### 【0015】

【発明が解決しようとする課題】以上の説明により、行数の増大に伴い、必要な駆動速度が上昇することは明らかであるが、図11にその関係を定量的に示す。同図において、横軸は表示パネルの行数K、縦軸は許容最大限の維持駆動周期T、パラメータは維持倍数Mである。M=1の場合の直線は、サブフィールドの長さU<sub>b</sub>が、書き込み走査期間を確保することによって決まってしまう場合を表わしており、フィールドの長さをVとし、表示するビット数をNとすると、サブフィールドの長さU<sub>b</sub>はほぼV/Nとなるので、各行にそれぞれ許される書き込みのアクセス時間T<sub>w</sub>の最大値T<sub>wmax</sub>はU<sub>b</sub>/K、すなわち、

$$T_{wmax} = V/K \cdot N$$

によって与えられる。実際には、消去を行なうために一定時間を確保しなければならないが、使用する表示パネルやその駆動条件によってその所要値が変わるので、上式および図11においては消去期間は考慮していない。また、同図において、行数Kが小さい範囲で維持倍率Mに

よって周期Tが大幅に変化しているのは、図10(c)に示したように、維持期間Sの長さが支配的な領域になることを示し、一方、行数Kが大きい範囲で曲線がM=1に収斂しているのは、同図(b)に示したように、書込み走査期間の長さZが支配的な領域であることを示す。したがって、行数Kが大きいと駆動条件が極めて厳しくなることが同図に明瞭に示されている。

【0016】一例として、1000行の表示パネルに8ビットの中間調表示を行なう場合には、周期T=2μsとなるが、電極の浮遊容量が大きい大型の表示パネルで200V乃至300Vの高圧の駆動電圧が必要な場合には、この周期Tは簡単に実現し得る値ではない。逆に、駆動速度の限界を周期T=4μsとすると、500行程度の表示パネルを駆動するのが限界であることが判る。

【0017】一方、表示パネルを構成する表示セルの駆動条件という観点からすると、表示セルにはそれぞれ特有の性質があり、それぞれの表示セルの特性に最も良く適合した駆動条件で駆動するのが望ましいのは当然のことである。すなわち、駆動条件を設定する際に広い選択範囲の自由度があることが望ましい。

【0018】しかるに、上述したように、メモリ型表示パネルの従来の駆動方法においては、行数の多い大型の表示パネルの駆動条件は外部から与えられた条件で殆ど自動的に決まってしまい、あるいは、駆動条件が厳しいので、最低の駆動条件で駆動せざるを得ない、ということになり、表示セルの特性発揮という観点からすれば、極めて望ましくない条件下の駆動方法しか従来は得られていなかった。

【0019】本発明の目的は、上述した従来の課題を解決し、一見全く自由度がないように見られるメモリ型表示パネルの中間調表示について、駆動条件を緩和し得る駆動方法を提供することにある。

【0020】本発明の他の目的は、表示セルの特性を発揮させる動作条件の設定を可能にし、例えば、より広い自由度をもって発光効率を改善し得る駆動条件の選択が可能なメモリ型表示パネルの駆動方法を提供することにあり、さらには、駆動条件を一定とすれば、大型の表示パネルまでの駆動を可能にするメモリ型表示パネルの駆動方法を提供することにある。

【0021】なお、本発明の目的とする駆動条件の緩和を従来技術によって可能にする駆動方法として、列電極群を表示パネルの中央で2分割し、上下両端からそれぞれ駆動することによって駆動速度を1/2に低減させる駆動方法があるが、この駆動方法では、列電極の引出し線の数と駆動回路の規模とが2倍になる欠点がある。

【0022】本発明のさらに他の目的は、パネル構造の変更を必要とせず、駆動回路の規模も大幅な増大なしに、駆動条件を緩和し得るようにしたメモリ型表示パネルの駆動方法を提供することにある。

【0023】また、気体放電表示パネル、特にDC型パネ

ルにテレビ画像を表示する場合には、表示パネル自体の高速動作を可能とするために、通常、独立した補助放電セルから表示セルへのプライミング効果を用い、補助放電セルは表示すべき画像データと無関係に全行に亘って垂直に走査するが、この垂直走査においても、ある行の補助放電セルから次の行の補助放電セルへのプライミング効果が用いられるので、DC型気体放電表示パネルはインターレース走査に適しているとは言えない。したがって、従来は、線順次走査によってテレビ画像表示を行なうのが通常であり、そのために、入力テレビ信号をインターレース走査信号から順次走査信号に変換する必要があったが、高品位テレビ画像を表示する場合には、回路に対する負担が極めて重いものとなる。

【0024】一方、AC型気体放電表示パネルにおいては、ネオンガスを用いた単色表示パネルをランダムアクセスして用いた例もあるので、一見、インターレース走査によるテレビ画像表示は容易とも考えられるが、カラー表示の場合には封入ガスが変わること、また、紫外線が隣接セルの蛍光体を励起することによる混色を防止するためにDC型表示パネルと同様に表示セル間の障壁を導入する必要があること、テレビ画像表示には高速動作が必要なことなど、上述した例とは条件が変わるので、単純に1行おきに駆動すればインターレース走査ができるか否かは不明である。

【0025】なお、以上ではメモリ型表示パネルは、インターレース走査に適ないので順次走査を用いると説明したが、実際には、この他に表示輝度の条件がある。すなわち、完全なインターレース表示では1フレーム内に許される発光時間が半減するので、順次走査によって表示輝度を保持するという理由もある。

【0026】したがって、本発明のさらに他の目的は、表示輝度の低下を伴わずに、特に高品位テレビ画像の表示で大きい負担になるインターレース走査-順次走査変換を省略し得るメモリ型表示パネルの駆動方法を提供することにある。

【0027】

【課題を解決するための手段】すなわち、本発明メモリ型表示パネルの駆動方法は、メモリ機能を有するマトリクス形式のメモリ型表示パネルのテレビ画像表示に際し、表示パネルの行電極を奇偶行の2群に分け、書込みは従来どおり順次走査で行なうが、消去は群毎に異なる制御信号で駆動することにより、同一サブフィールドにおいて群毎に異なる表示輝度を再現し得るようにしたものであり、かかる駆動方法を適用するとともに、表示データを上位ビット群と下位ビット群とに2分し、上位ビットは入力テレビ画像信号の飛越し走査に各フィールドで対応した行に表示し、下位ビットはその次のフィールドで同一行に表示することにより、上位ビットだけに実際の表示時間を割当て、下位ビットは上位ビットの時間枠内で表示を済ませることを可能とし、フィールド内の

見掛け上のサブフィールド数を半減または半減に近いところまで減少させることを可能にする。

## 【0028】

【作用】したがって、本発明によれば、メモリ型表示パネルの構成は何ら変更することなく、巧みに駆動することのみにより、テレビ画像信号の中間調表示輝度を飛躍的に増大させて、各種の動作条件を大幅に緩和することができる。

## 【0029】

【実施例】以下に図面を参照して実施例につき本発明を詳細に説明する。まず、図1に本発明メモリ型表示パネルの駆動方法の基本原理を示す。同図において、 $Y_k$  ( $k = 1, 2, \dots$ ) は表示パネルにおける第  $k$  行の動作状態を表わし、単線は非発光期間を示し、複線は維持発光期間を示す。したがって、少なくとも複線期間には、それぞれの行に対して維持駆動が行なわれていることになる。なお、斜めの点線は書き込み(WRT, WRT') および消去(ERS, ERS') の両駆動の走査を示す。図示の例における「」は偶数行の駆動を示し、「」なしは奇数行の駆動を示している。すなわち、書き込みは従来どおりに行ない、駆動期間  $T_1$  に第1行、駆動期間  $T_2$  に第2行、…のように順次に全行に書き込みを行なう。つぎに、例えば、ERS 点線上で全行の消去駆動すなわち消去走査を行なえば、全く従来どおりの駆動方法であるのに対し、本発明においては、例えば、奇数行に対してはERS点線上で消去を行ない、偶数行に対してはERS'点線上で消去を行なう。したがって、図示の例においては、第1行では、期間  $T_{11}$  に消去駆動を開始して維持発光期間を16T としているのに対し、第2行では、期間  $T_{12}$  で消去駆動を開始して維持発光期間を2T としており、以下交互に維持発光期間16T と2T を繰返している。

【0030】換言すれば、図1示の駆動方法においては、維持倍数Mを1とすれば、奇数行では表示データ（ビット0, 1, …）の内のビット4を表示し、偶数行ではビット1を表示することになる。なお、各ビットの割当では、図示の例に限らず、任意に設定することができ、奇数行と偶数行とを入換えた駆動も当然考えられる。

【0031】なお、図1示の駆動方法が実現可能か否かは、原則としては、使用する表示パネルの特性によって決まり、表示パネルの特性によって実現の可能性が制限される場合として、先行する行の動作が次の行の動作に影響を与える場合を考慮しなくてはならず、気体放電表示パネルの使用がその典型的な場合である。すなわち、気体放電表示パネル、特に、DC型気体放電表示パネルにおいては、周知のようにプライミング効果を利用して高速駆動を可能にしているので、ランダムアクセスや飛越し走査によって高速書き込みを行なうことは困難であり、補助放電を用いて線順次に書き込み走査を行なうのが気体放電表示パネルに適した駆動方法であるが、消去につい

ては、同様に線順次に行なわなければならない理由はない。したがって、書き込みにおいては対象とする表示セルの近くで予め補助放電を起こしておくことによって放電開始を高速化しているが、放電の消弧にはそのような予備的補助動作は必要ないので、本発明の図示のとおりの実施には全く支障がない。

【0032】なお、先行する行の表示セルの状態によって、消去し得ない、あるいは、OFF状態を維持し得ないような表示セルであれば、図示の駆動方法を適用することはできないが、従来周知慣用の表示セルにはかかる特性を有するものが見あたらず、2値のメモリ表示が可能なものであれば、先行する行の状態に拘わりなくONの状態もOFFの状態も維持し得るので、消去のみに適用し得ないという特性は一般には考え難い。

【0033】図1示の表示動作の具体例として、図9(a) に対応して、AC型表示パネルにおける駆動電圧波形と発光波形とを図3に示し、図9(b) に対応して、DC型表示パネルにおける駆動電圧波形と発光波形とを図4に示す。図9(a), (b) と図3、図4とで、維持発光回数は異なるが、図示のとおりの駆動方法によって奇偶両行間で異なる輝度が表示されることは明らかである。

【0034】つぎに、冒頭に述べた種類のメモリ型表示パネルを駆動するための駆動回路装置の従来の構成を一般化して図12(a) に示し、その各駆動電圧波形を同図(b) に示す。図12(a) に示す駆動回路装置において、P は表示パネルであって、図2に示した構成の駆動電極を備えており、その表示パネルPを駆動する駆動回路は、図示のとおりに、AND ゲート、高圧駆動回路(DR)、高圧パルス混合回路および書き込み、維持、消去の各走査信号を形成するための各シフトレジスタ  $R_v$ ,  $R_s$ ,  $R_e$  を組合わせて構成している。表示データはラッチLに保持されているものとし、書き込みストローブパルス  $w_{00}$  とのAND をとって印加した各列電極駆動回路DRからの高圧書き込みパルスに維持パルスSをそれぞれ混合して各列電極Xをそれぞれ駆動する。一方、各行電極Yについては、書き込み、維持、消去の各走査のためにシフトレジスタ  $R_v$ ,  $R_s$ ,  $R_e$  をそれぞれ用いるが、各シフトレジスタは、各入力駆動信号  $w_0, s_0, e_0$  をクロックパルス周期Tで順次にシフトさせて順次の出力駆動信号  $w_{01}, w_{02}, \dots; s_{01}, s_{02}, \dots; e_{01}, e_{02}, \dots$  をそれぞれ形成し、各ストローブパルス  $w_{00}, s_{00}, e_{00}$  とそれぞれAND をとって、同図(b) に示すような順次の走査パルス  $w_1, w_2, \dots$  を形成し、それらの各走査パルスを、各行電極駆動回路DRをそれぞれ介し、高圧パルス混合回路により全走査用高圧パルスを順次に混合して各行電極Yをそれぞれ駆動する。なお、図12(a) に示した書き込みストローブパルス  $w_{00}$  は、同図(b) に示した書き込みストローブパルス  $w_{00}$  と同様のクロック周期Tのパルス列である。なお、回路図中では極性は表示しない。名称を付した機能が実行されるべき期間、または、実行を含んだ期間の論理レベルを1とする。論理

レベル0, 1を  $0_L, 1_L$  で表わす。また、高圧パルス混合回路は、抵抗やダイオードにより構成して複数の走査用高圧パルスを混合する回路であり、3値パルス(0、正、負)の混合に際しては正負両パルスを別々に混合する場合もあるが、そのような場合も同図に含めてあるものとする。

【0035】図9(a)に示した従来のAC型表示パネルの駆動電圧波形においては、維持パルスSは各行同時に共通に印加するのであるから、図12(a)に示した回路構成において  $s_0 = l_1, s_{00} = S$ とした場合に相当し、結局、維持走査用シフトレジスタ  $R_s$  を省略して図13(a)に示す回路構成となる。図9(b)に示した従来のDC型表示パネルをパルスメモリ駆動する場合の駆動電圧波形においては、書き込み走査パルスwを除く他の走査パルスは単純な2値パルスであるから、図12(a)に示した回路構成において、書き込みパルス  $w_0$  が優先的に出力されるようにした高圧パルス混合回路、もしくは、駆動回路とその混合回路との組合せ、を用いれば、論理否定を～で表して、 $e_0 = \sim s_0$  とすることができるが、書き込みパルスが優先的に出力されると同時に他の出力と短絡しないようになされなければならず、また、 $e_0 = \sim s_0$  とすれば、維持電位、消去電位の2値を出力し得る2電位出力駆動回路BHDRIを用いることにより、図13(b)に示すように、維持走査用および消去走査用の両シフトレジスタ  $R_s$  および  $R_e$  のいずれか一方を省略することができる。なお、図13(b)において、2電位出力駆動回路BHDRIに対し、単電位出力駆動回路SDRは、ON時に特定電位出力が得られ、OFF時に開放となる。ただし、図12(a)のDRは一般的に駆動回路を示したものであり、内容的な規定はない。

【0036】図12に示したメモリ型表示パネル駆動回路装置の従来の共通的構成に対し、本発明においては、例えば図5に示す構成の駆動回路装置により図1示の表示動作を実現することができる。図5示の構成による駆動回路装置においては、行電極駆動回路系を奇数行用と偶数行用とに分割するとともに、図12(a)に示した従来装置における維持走査用および消去走査用の両シフトレジスタの各入力駆動信号  $s_0, e_0$  を奇偶各行別用の入力駆動信号  $s_{10}, s_{20}$  および  $e_{10}, e_{20}$  にそれぞれ分割して、維持発光期間長を奇偶各行でそれぞれ独立に設定し得るようにする。したがって、各走査用シフトレジスタを図12(a)に示した従来構成と同じ周期Tのクロックパルスによってそれぞれ駆動する図5示の本発明構成においては、各走査用シフトレジスタの出力を奇偶各行別用として1ビットおきに用いることになる。なお、図5は、本発明による駆動回路装置の基本的構成を示したものであり、実際には回路構成を簡単化するための種々の態様の構成が考えられる。例えば、図5においては、奇数行書き込み走査用と偶数行書き込み走査用との各シフトレジスタ  $R_{v1}$  と  $R_{v2}$  との入出力は全く同一であるから、いずれか

一方の出力を振り分けるようにすれば十分である。また、図12(a)から図13(a), (b)へのようない回路構成の簡単化も可能である。さらに、奇数走査用および偶数走査用の各シフトレジスタの駆動に2T周期の2相クロックパルスの各1相をそれぞれ使用すれば、各シフトレジスタ出力の全ビットを走査に使えるので、シフトレジスタ全体のビット数は従来構成より増大しない。かかる2相クロック駆動では維持発光期間長の最小値が2Tにはなるが、本発明駆動方法においては、後述するように実用上支障はない。

【0037】また、以上の説明では、行電極を2群に分割した回路構成について述べたが、同様にして3群以上に分割することも可能である。したがって、以下の説明においても、専ら、2群に分割する場合について述べる。

【0038】さて、図1に示した基本原理による中間調表示の態様の具体例を図6に示す。同図は従来の中間調表示の態様を示した図10に対応するものであるが、大きい相違点は、図10示の態様では表示の対象として順次走査信号を用いたのに対し、図6示の態様ではインターレース信号を用いている点、図6示の態様では1フィールド内のサブフィールド数が図10示の態様より半減している点、および、下位ビットに対応するサブフィールドを次のフィールドのサブフィールドと時間的に重複させている点である。なお、図1は図6におけるサブフィールド  $U_1$  の部分拡大図になっている。

【0039】図6においても、図10と同様に6ビットの中間調を表示する場合の例を示すが、維持期間を示す複線および消去走査を示す斜線のうち、実線はフィールド1のデータによる奇数行に対する表示動作を示し、点線はフィールド2のデータによる偶数行に対する表示動作を示す。すなわち、例えば、フィールド1における奇数ラインのデータのうち、上位3ビット( $b=5\sim 3$ )をフィールド1のサブフィールド  $U_2 \sim U_0$  で奇数行に表示するが、残余の3ビット( $b=2\sim 0$ )は次のフィールド2のサブフィールド  $U_2 \sim U_0$  で同じく奇数行に表示する。一方、フィールド2における偶数行には、フィールド2のデータの上位3ビットを表示し、フィールド1における偶数行に下位3ビットを表示する。したがって、各フィールドにおいては、当該フィールドの上位ビットと先行フィールドの下位ビットとを行毎に切替えて、各行にそれぞれ対応するデータを合成して同一サブフィールドでそれぞれ表示する。

【0040】また、図6においては、一例として6ビットの中間調を表示する場合を示したが、何ビット表示するかは本発明駆動方法の本質と無関係であることは明らかであり、また、6ビットを3ビットずつに区分し、下位3ビットを次のフィールドに割当てる場合の例を示したが、各フィールド区分の態様はこの例に限られることはなく、上位4ビットと下位2ビットとに区分すること

もできる。このような維持期間の2重設定を行なうことによって、時間割当ての点からすれば、1フィールドに全ビットのうちの上位半数のビットを割当てればよいのであるから、概略値として、基本動作における周期Tを最大2倍程度まで増大させることが可能になる。

【0041】そのほか、図6ではビット順をその重みの降順にしてあるが、これは動画を表示する場合に、明るいビットを先に表示するのが望ましいと考えられるからであり、必要があれば、ビット順をランダムにすることもできる。

【0042】なお、本発明駆動方法の欠点は、輝度の再現が2フィールドにわたって行なわれるので、テレビ画像表示を行なう場合に、ビットの割当て方によっては残像に似た現象が現われる可能性があることであるが、その残像の程度は、例えば、実際に設定するサブフィールド数が4の場合には、概略の目安として最大輝度の1/16(約6%)程度、設定サブフィールド数5の場合には3%程度である。

【0043】メモリ型表示パネルを用いてテレビ画像表示を行なうには、表示パネルの駆動が容易となるように信号形式を変換してからX電極駆動回路に転送する必要があり、その変換の主要点は、つぎのとおりである。

(1) 各サブフィールド毎に1ビットずつの表示データを転送する。

(2) 表示パネルへの1行当たりの書き込み時間Tw毎に1行上の全表示セルの表示データをX電極駆動回路に転送しなければならないので、高速転送が必要であり、通常は、可能な速度の範囲で直列に転送し、それ以上の速度範囲では複数本に並列化して転送する。

なお、この信号形式変換は通例フレームメモリを用いて行なう。

【0044】図6に示した態様のテレビ画像表示を行なうために用いる信号形式変換回路の構成例を図7に示す。図示の構成において、MH<sub>1</sub>、ML<sub>1</sub>およびMH<sub>2</sub>、ML<sub>2</sub>は、それぞれ奇数フィールドP<sub>1</sub>用および偶数フィールドP<sub>2</sub>用の2組のフィールドメモリであり、各添字HおよびLは、前述したように、表示データの全ビットを2分した上位ビット群D<sub>H</sub>用および下位ビット群D<sub>L</sub>用のメモリであることをそれぞれ示す。また、FDLは、下位ビット群に用いるフィールド遅延素子であって、典型的にはメモリを用いる。その他、L<sub>1</sub>およびL<sub>2</sub>は、表示パネルの奇数行および偶数行をそれぞれ示し、図中の各スイッチS<sub>1</sub>～S<sub>8</sub>は、指定されたフィールドまたは行に相当する期間に、それぞれ対応する接点を選択する。また、WRTは各フィールドメモリの書き込みパルスであり、D<sub>1H</sub>、D<sub>0H</sub>、WEはそれぞれ各メモリ素子のデータ入力、データ出力、書き込みパルス入力である。また、各フィールドメモリの出力は、上記(2)の並列転送の本数だけ並列に読出しが、同図には明示していない。

【0045】さて、図7示の構成によれば、奇数フィー

ルドにおいてはメモリMH<sub>1</sub>に奇数フィールドデータの上位ビット群、メモリML<sub>1</sub>に先行する偶数フィールドデータの下位ビット群がそれぞれ書き込まれ、その間メモリMH<sub>2</sub>から、表示パネルの書き込み走査により偶数行が選択される度毎に、偶数フィールドデータの上位ビット群が読み出され、図6におけるフィールド1の各サブフィールドU<sub>2</sub>～U<sub>0</sub>でビット5～3のデータを順次に駆動回路に転送する。一方、次の偶数フィールドにおいては、データは各メモリMH<sub>2</sub>およびML<sub>2</sub>からそれぞれ読み出されるが、偶数行に対しては、メモリML<sub>2</sub>から前前フィールドすなわち偶数フィールドの下位ビットデータが読み出され、図6におけるフィールド2の各サブフィールドU<sub>2</sub>～U<sub>0</sub>においてビット2～0が駆動回路に転送される。以上の説明により、同一入力フィールドの6ビットのデータで偶数行が2フィールドに亘り駆動されることが判る。また、奇数行の駆動に対しては、以上の説明における偶奇をすべて入れ替えることになる。

【0046】なお、図7において、遅延素子FDLを省略し、メモリML<sub>1</sub>とML<sub>2</sub>とを入替えたうえに、メモリMH<sub>1</sub>とMH<sub>2</sub>とおよびML<sub>1</sub>とML<sub>2</sub>とを合わせてそれぞれフレームメモリとして各メモリ出力切替え用スイッチS<sub>6</sub>、S<sub>7</sub>を省略すると、従来の駆動方法用の変換回路となる。すなわち、従来の変換回路におけるフレームメモリを本発明による変換回路においてはフィールドメモリとすることができるので、主メモリ素子の容量が半減する。なお、下位ビット用のメモリのためのフィールド遅延素子FDLが増加するが、下位ビットだけ遅延させればよいのであるから、全体の所要メモリ容量はやはり減少する。また、主メモリからは、前述したように、多くの並列出力を取出さなければならないのに対し、FDLは単に入力信号を遅延させればよいのであるから、その構成は確かに簡単になる。以上のように、本発明の駆動方法を適用するためのテレビ画像信号変換回路については、その構成が若干複雑にはなるが、メモリ容量を大幅に低減することができる。

#### 【0047】

【発明の効果】本発明駆動方法を実施した場合における表示パネルの行数に対応した許容最大駆動周期の例を、図11と同一形式で図8に示す。図11においては1フィールドを区分して8個のサブフィールドを設定し、8ビットの表示を行なう場合について示したが、図8においては、本発明駆動方法を適用し、1フィールドを区分して4個のサブフィールドを設定し、2フィールドで8ビットを表示する場合について示す。その結果得られる中間調表示の輝度を比較するには、フレーム当たりの維持発光回数を考慮しなければならないが、従来方式でのフィールド当たりの維持発光回数と比較するために、1フレーム期間のLSBにおける維持発光回数の1/2を維持倍数

【外1】

15

と定義すると、従来の駆動方法においては

【外2】

$$M = \overline{M}$$

であって、その最小値は1であるが、図8示の特性を得た本発明駆動方法においては、維持倍数

【外3】

$$\overline{M}$$

の最小値は1/2となる。双方の特性を比較すれば明らかのように、維持倍数

【外4】

10

$$\overline{M}$$

が最小値の直線、すなわち、LSBにおける維持動作期間が駆動周期Tとなる場合には、同一行数に対して、図8示の特性における駆動周期Tの値は、単純に、図11示の特性における値の2倍になるが、維持倍数

【外5】

$$\overline{M}$$

が増大するに従い、駆動周期Tの値の比は2倍よりは低下する傾向にある。しかしながら、行数が標準方式テレビジョンの走査線数程度以上であって維持倍数

【外6】

$$\overline{M}$$

が8以下のように余り大きくない場合には、約1/2まで駆動速度を低減することが可能である。

【0048】上述したところの典型例として、標準方式テレビジョンおよび高品位テレビジョンを挙げ、有効走査線数をそれぞれ480本および1035本とする。

【0049】標準方式テレビジョンにおいては、維持倍数を

【外7】

20

$$\overline{M} = 1$$

とすると、従来の駆動方法では駆動周期Tが、図11の特性から  $T \leq 4.3 \mu s$  となるのに対し、本発明の駆動方法では、図8示の特性から  $T \leq 8.6 \mu s$  となる。一方、高品位テレビジョンにおいては、同じく

【外8】

$$\overline{M} = 1$$

とすると、従来方法では  $T \leq 2.0 \mu s$  となるのに対し、本発明方法では  $T \leq 4.0 \mu s$  となる。

【0050】つぎに、可能な最高駆動周期Tを  $T = 4 \mu s$  と仮定した場合について比較すると、標準方式テレビジョンにおいては、維持倍数

【外9】

$$\overline{M}$$

が、従来方法では最高6となるのに対し、本発明方法では最高8となる。一方、高品位テレビジョンにおいては、従来方法では実現不可能となるに対し、本発明方法では

【外10】

$$\overline{M} = 4$$

50

まで可能となる。

【0051】本発明適用の対象を主として高品位テレビジョンに絞って、本発明の効果を要約するとつきのとおりである。

(1) 従来の駆動方法においては  $2 \mu s$  周期の高速駆動が必要であったが、本発明駆動方法においては  $4 \mu s$  周期でもよくなる。特に、気体放電表示パネルでは、高速動作が容易でない高圧駆動回路を必要とするので、実現不可能が可能になるほどの効果が得られる。

(2) 気体放電表示パネルについて、従来の駆動方法により1000行の表示パネルに高品位テレビジョン画像を表示するには、行電極群を表示パネルの中央で2分して、上下両端から各行を  $4 \mu s$  周期で駆動するのが好適と考えられていたが、本発明駆動方法によれば、かかる行電極群の2分割や高圧駆動回路数の倍増を必要とせずに、 $4 \mu s$  周期の駆動が可能になる。

(3) 行電極群の2分割と駆動回路数の倍増とを許せば、1000行の表示パネルに対しても駆動周期を  $8 \mu s$  まで延長することが可能になり、その結果、駆動周期  $8 \mu s$  までの範囲内でガス組成や封入ガス圧などの条件を発光効率の最適点に設定するだけの余裕が生ずる。

(4) 行電極群の2分割と駆動回路数の倍増とを許せば、本発明駆動方法により  $4 \mu s$  周期で2000行の表示パネルの駆動が可能になる。通常3個乃至4個の色ドットを含む1画素内には2本の行電極を配設する場合が多く、この場合には、1画素内の全ドットが独立の列電極をもつ場合を除き、1000本の走査線を忠実に再現するには2000行の行電極が必要となる。したがって、本発明駆動方法を適用すれば、かかる最終的構成の高品位テレビジョン用表示パネルの駆動までが可能となる。

#### 【図面の簡単な説明】

【図1】本発明メモリ型表示パネルの駆動方法の基本原理を示すタイムチャートである。

【図2】マトリクス形式表示パネルの表示セルの構成配置を模式的に示す図である。

【図3】AC型気体放電表示パネルに本発明駆動方法によってメモリ表示動作を行なわせる場合の駆動電圧波形および発光波形の例を示す波形図である。

【図4】パルスメモリ機能を用いるDC型気体放電表示パネルに本発明駆動方法によってメモリ表示動作を行なわせる場合の駆動電圧波形および発光波形の例を示す波形図である。

【図5】本発明駆動方法による走査駆動回路の構成例を示す図である。

【図6】本発明駆動方法によるメモリ型表示パネルの中間調表示の態様の例を示すタイムチャートである。

【図7】本発明駆動方法によるテレビ画像の中間調表示のための信号変換回路の構成例を示す図である。

【図8】本発明駆動方法による8ビット中間調表示における駆動周期の上限を示す特性曲線図である。

【図9】(a)および(b)はAC型気体放電表示パネルおよびDC型気体放電表示パネルに従来の駆動方法によってメモリ表示動作を行なわせる場合の駆動電圧波形および発光波形の例をそれぞれ示す波形図である。

【図10】(a)～(c)はメモリ型表示パネルにおける中間調表示の従来の態様の例をそれぞれ示すタイムチャートである。

【図11】従来の駆動方法による8ビット中間調表示における駆動周期の上限を示す特性曲線図である。

【図12】(a), (b)は従来のメモリ型駆動方法による走査駆動回路の一般化した構成および動作電圧波形の例をそれぞれ示す回路構成図および波形図である。

【図13】(a), (b)は従来のメモリ型駆動方法によるAC型およびDC型の気体放電表示パネルの走査駆動回路の構

成例をそれぞれ示す図である。

【符号の説明】

D<sub>1</sub> 表示セル

DR 高圧駆動回路

R<sub>v</sub> 書込み走査用シフトレジスタ

R<sub>s</sub> 維持走査用シフトレジスタ

R<sub>e</sub> 消去走査用シフトレジスタ

P 表示パネル

L 表示データラッ奇回路

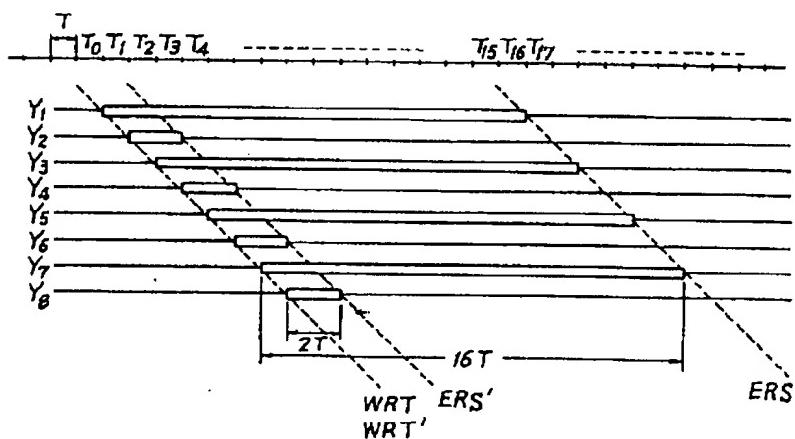
SDR 単電位出力駆動回路

BEDR 2電位出力駆動回路

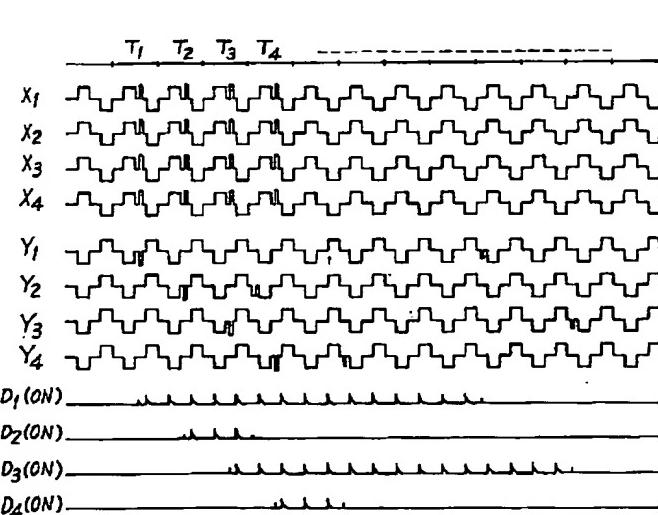
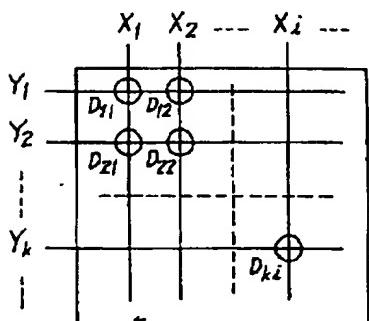
FDL フィールド遅延回路

MR, ML フィールドメモリ

【図1】

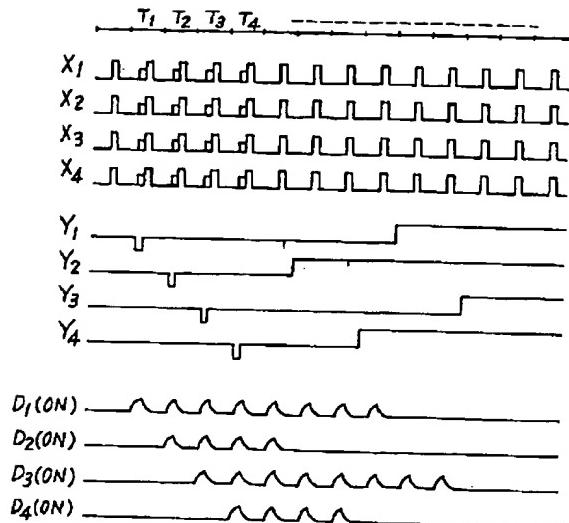


【図2】

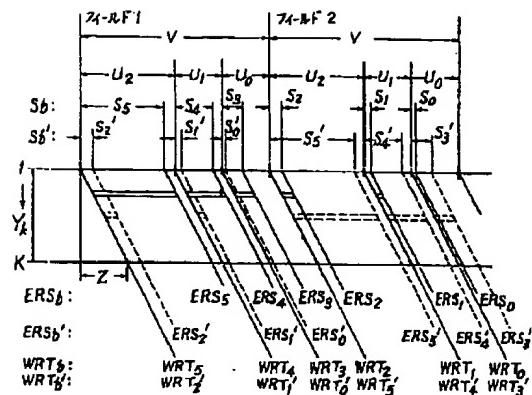


【図3】

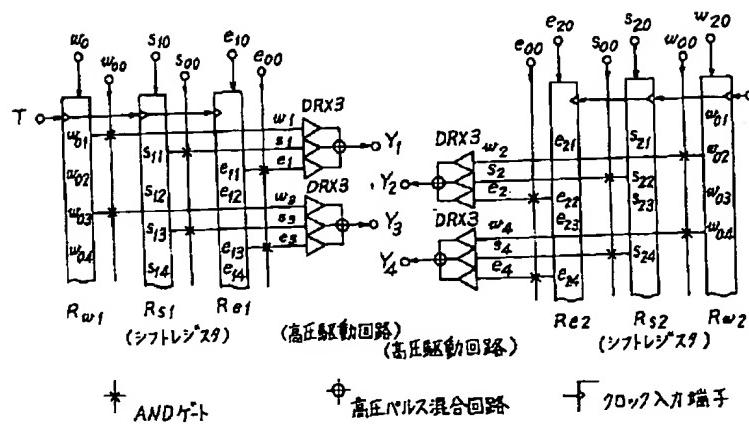
【図4】



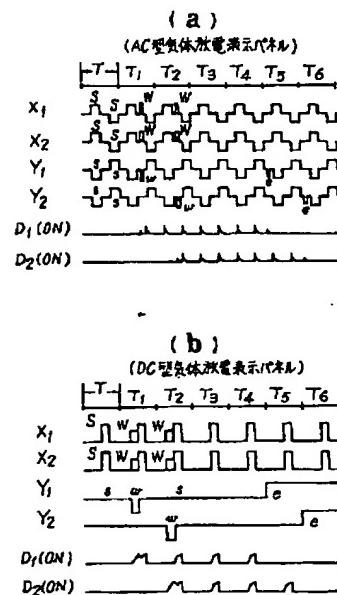
【図6】



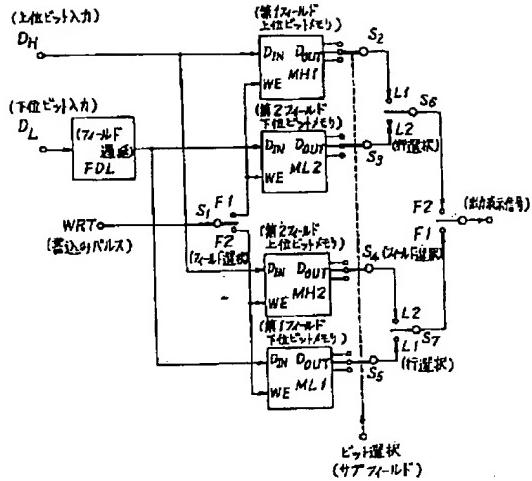
【図5】



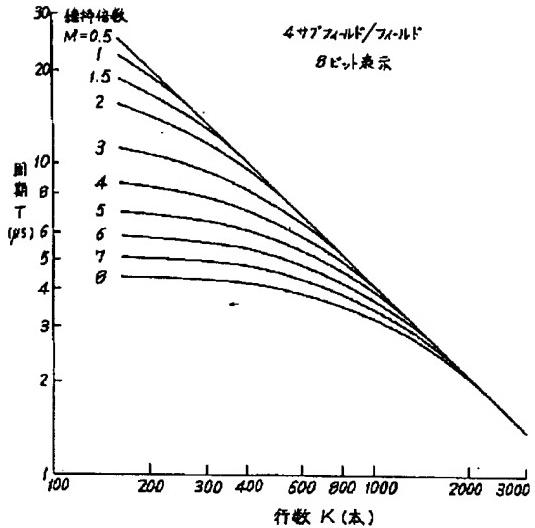
【図9】



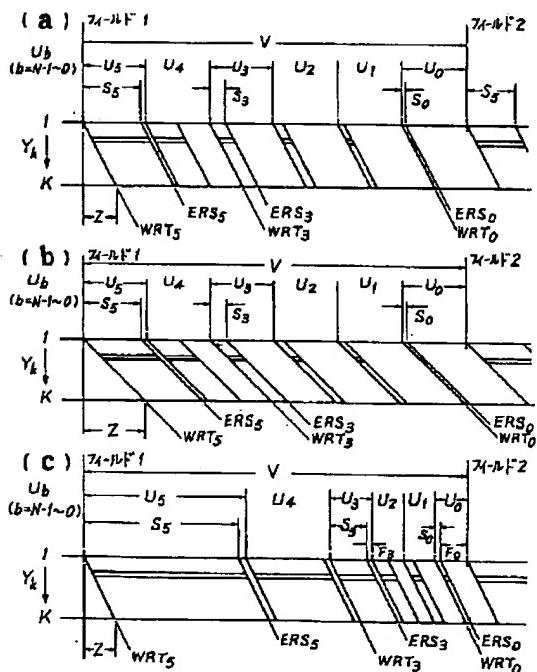
[図7]



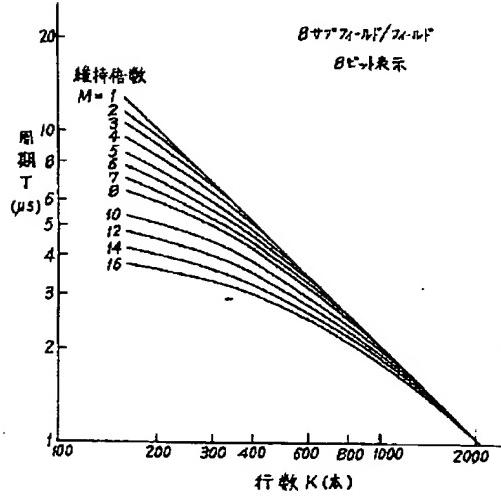
[図8]



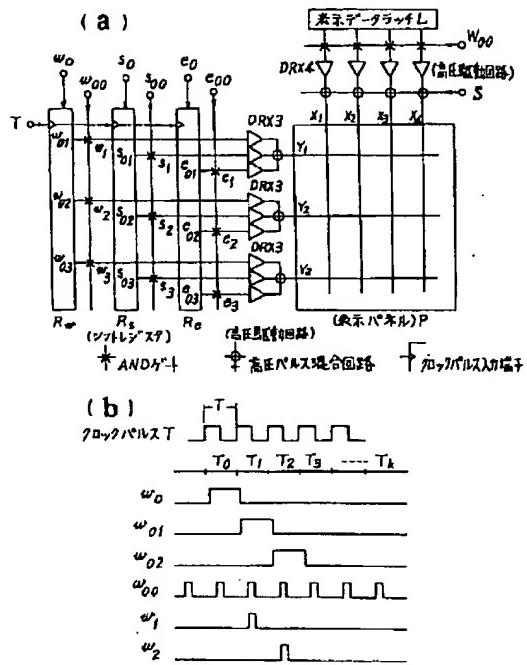
【图10】



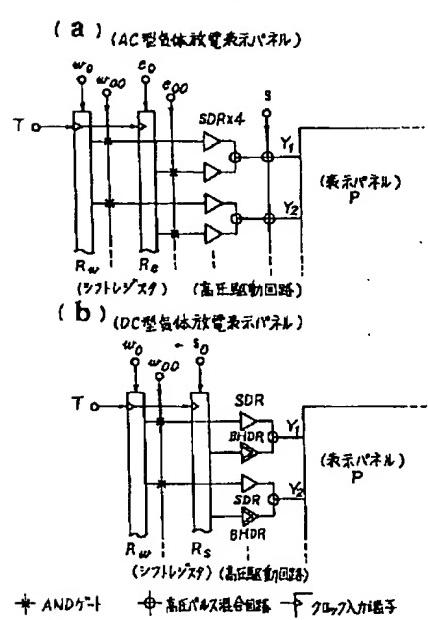
[図11]



【図12】



【図13】



(72)発明者 栗山 孝夫

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 坂井 徹男

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内